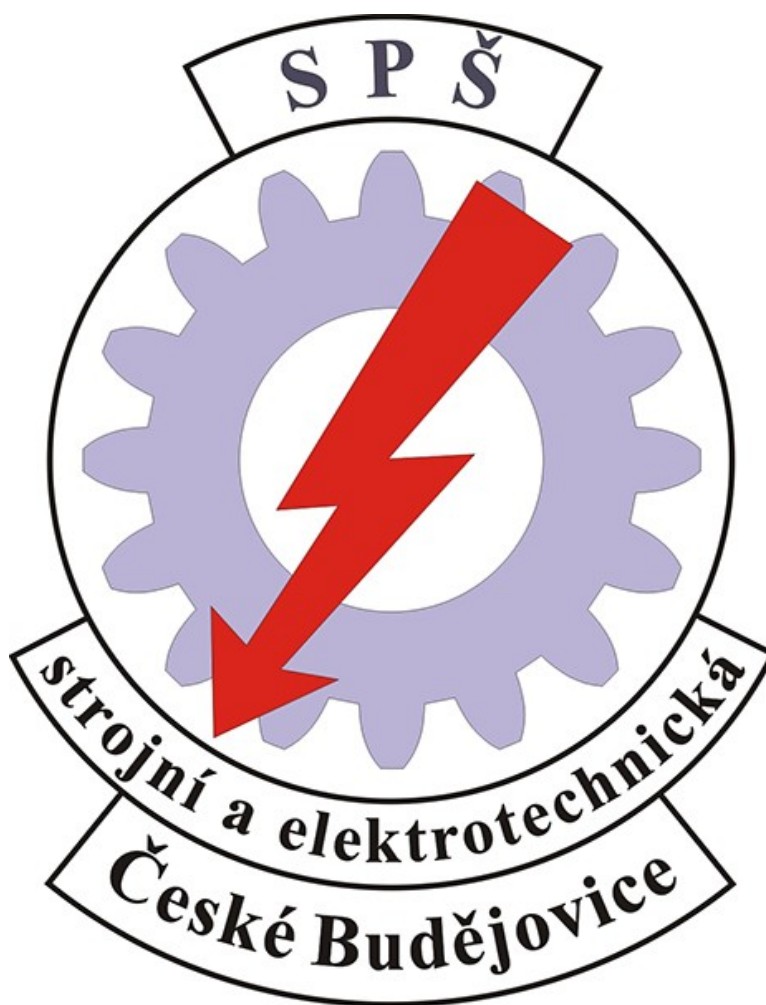


Střední průmyslová škola strojní a elektrotechnická
České Budějovice, Dukelská 13

Studijní obor: slaboproudá elektrotechnika



Návrh a stavba frekvenčního generátoru
Odborná maturitní práce

Vedoucí práce:

Ing. Milan Horkel

Autor:

Boris Žifčák

Jméno a příjmení autora: Boris Žifčák

Název maturitní práce: Návrh a stavba frekvenčního generátoru

Název práce v angličtině: Design and realization of frequency generator

Obor: slaboproudá elektrotechnika

Vedoucí maturitní práce: Ing. Milan Horkel

Rok obhajoby: 2017

Anotace:

Předmětem maturitní práce „Návrh a stavba frekvenčního generátoru“ je popis postupu stavby frekvenčního generátoru, sestávající z formulace požadavků, analýzy jejich dosažitelnosti při použití různých topologií klíčových prvků přístroje, zdůvodnění zvolených součástek, návrhu a následné realizace přístroje.

Postup:

Průběžné teoretické i praktické zkoušky realizovaných funkčních bloků přístroje, jejich zařazování do většího celku, vypracování schémat zapojení, návrhu desky plošného spoje, návrhu mechanického provedení a tvorba programu.

Prohlášení:

Prohlašuji, že jsem maturitní práci „Návrh a stavba frekvenčního generátoru“ vypracoval samostatně pod vedením Ing. Milana Horkela a uvedl v ní všechny použité literární a jiné odborné zdroje v souladu s právními předpisy.

V Českých Budějovicích dne _____

vlastnoruční podpis autora

Poděkování:

Rád bych tímto poděkoval svému vedoucímu práce Ing. Milanu Horkelovi za odborné vedení, rady a poskytnutí technického zázemí a rodičům za materiální i finanční pomoc a morální podporu.

Obsah

1. Úvod:	6
2. Frekvenční generátor	7
2.1. Definice	7
2.2. Základní parametry	7
3. Požadavky na přístroj	9
3.1. Základní koncepce	9
3.2. Uživatelské rozhraní	10
3.3. Požadované parametry	10
3.4. Volba topologie přístroje	10
4. Návrh přístroje	12
4.1. Blokové schéma	12
4.2. DDS	12
4.2.1 Teorie činnosti přímé digitální syntézy	13
4.2.2. Výběr integrovaného obvodu DDS	14
4.2.3. Popis obvodu AD9833	14
4.2.4. Návrh filtru	16
4.2.5. Schéma DDS části	18
4.3. Zesilovač	19
4.3.1 Volba topologie zesilovače	19
4.3.2. Výpočty zesílení a hodnot odporů	21
4.3.3. Volba analogového přepínače	22
4.3.4 Volba operačního zesilovače	22
4.3.5. Zjednodušené schéma zesilovače	23
4.4. Zeslabovač	23
4.4.1. Útlumové články	23
4.4.2. Výpočet hodnot odporů	25
4.4.3. Realizace pomocí reálných odporů	25
4.5. Uživatelské rozhraní a řízení systému	26
4.5.1. Řídící mikrokontrolér	26
4.5.2. Displeje	27
4.5.3. Rotační enkodér	29
4.5.4. Klávesnice a ostatní tlačítka	31
4.5.5. Rozšíření výstupů pomocí posuvných registrů	32
4.5.6. Převodník logických úrovní	33
4.5.7. Spínání relé	34
4.6. Zdroj	35
5. Realizace	37
5.1. Vývoj prototypu	37
5.2. Metoda konstrukce	40
5.3. Návrh DPS	41
6. Použité softwarové nástroje	43
6.1. Linux	43
6.2. LibreOffice	43
6.3. Vývojové prostředí (toolchain) pro mikrokontroléry AVR	43
6.4. KiCad	44
7. Použité zdroje	45
8. Závěr	47

1. Úvod:

Téma této práce jsem vybral z důvodu potřeby vlastního frekvenčního generátoru pro využití při praktikování mého koníčku a snad i budoucího profesionálního zaměření - elektroniky. Od této práce si slibuji nejen výsledný přístroj, ale i osvojení dovedností nutných k návrhu komplexního přístroje ve stádiu schématu i plošného spoje a k napsání relativně rozsáhlého programu pro jednočipové počítače přehledně, udržitelně a rozšiřitelně.

Funkční generátor je elektrický přístroj sloužící k vytváření elektrického průběhu (napětí) různých tvarů. Využití lze najít v řadě oborů, v oblasti elektroniky například testování elektrických přístrojů, součástek nebo vysílání rádiového signálu.

Předmětem práce je návrh a realizace funkčního generátoru nízkých frekvencí pro účely měření elektronických součástek a obvodů a je v ní rovněž zahrnuta specifikace požadovaných parametrů.

Práce je tedy rozčleněna na formulaci požadavků, následnou volbu topologie přístroje, návrh uživatelského rozhraní a popis jednotlivých funkčních bloků: řídicích obvodů, generátoru průběhu, výstupního zesilovače a výstupního zeslabovače.

V práci budou uvedeny použité zdroje, nástroje, výsledné podklady pro stavbu (schéma zapojení, postup návrhu desky plošného spoje (DPS) a program. V průběhu textu jsou zařazeny části schémat zjednodušené, zatímco schéma přístroje kompletní je uvedeno v příloze. V příloze je rovněž uveden program mikrokontroléru. Rovněž bude popsáno vývojové prostředí, zejména programy použité k návrhu.

2. Frekvenční generátor

2.1. Definice

Frekvenční nebo též funkční generátor je přístroj, jehož úkolem je poskytnout na výstupu napěťový signál požadovaného tvaru, amplitudy a frekvence při dané výstupní impedanci zdroje.

Mezi nejčastěji generovatelné průběhy patří sinusový, obdélníkový a trojúhelníkový. Výstup může být amplitudově, frekvenčně a fázově modulovaný. V případě trojúhelníkového a obdélníkového signálu někdy lze měnit střídu.

Některé generátory, které využívají ke generaci signálu digitálně-analogový převod, umožňují uživateli navolit vlastní tvar signálu. V takovém případě se jedná o generátor volitelného průběhu nebo častěji AWG z anglického „Arbitrary Waveform Generator“.

2.2. Základní parametry

Při prvotním popisu frekvenčního generátoru je vhodné zároveň zmínit a vysvětlit parametry, které se u těchto přístrojů udávají. Jelikož trh je nasycen frekvenčními generátory lišícími se zamýšleným využitím, cena i základní parametry přístrojů dostupných na trhu se mohou lišit v rámci mnoha řádů. Zároveň je u přístrojů s různým uplatněním kladen důraz na rozdílné parametry. Níže v textu jsou popsány často udávané a důležité parametry frekvenčních generátorů.

První parametr, na který člověk posuzující nabídku frekvenčních generátorů na trhu narazí, je maximální frekvence výstupního sinusového signálu. Generátor však nemusí být schopný této frekvence dosáhnout při generování jiných než sinusových průběhů.

Možnosti tvaru generovaných průběhů jsou spojeny s použitou technologií přístroje. Základním tvarem je sinusový průběh. Dalším „jednoduchým“ tvarem je obdélníkový. Tento průběh je snadné generovat téměř jakýmkoliv spínacím prvkem, kvůli přítomnosti strmých (ideálně nekonečně rychlých) hran je ale obtížné ho kvalitně zesílit. Z tohoto důvodu bývá maximální frekvence obdélníkového průběhu omezena nejvíce nebo jsou jeho vlastnosti specifikovány pouze do dané frekvence a nad touto hranicí nejsou definovány. První případ se týká hlavně přístrojů s digitálním způsobem reprodukce, druhý

přístrojů v srdci analogových. Třetím ze základních a téměř všudypřítomných tvarů je trojúhelníkový, respektive pilový průběh.

Velmi častou schopností frekvenčních generátorů je modulace signálu. Nejzákladnější modulační typy jsou amplitudová, frekvenční, fázová a pulzně-šířková (PWM). Složitější digitální generátory umožňují téměř neomezené možnosti modulační. Relativně pomalou frekvenční modulací pilovým průběhem se získá tzv. rozmítaný průběh.

S frekvencí a tvarem signálu souvisí i jeho amplituda. Ta se udává nejčastěji jako rozpětí špička-špička U_{ss} či V_{pp} (Voltage peak-peak), méně často pak jako napětí maximální, či efektivní. Maximální amplituda výstupního signálu bývá rovněž závislá na jeho frekvenci, protože vyšší amplituda signálu s sebou nese vyšší strmost. Amplituda se ve většině případů neudává naprázdno, ale ve stavu předpokládaného zatížení jmenovitou impedancí. Generátor má výstupní impedanci shodnou se jmenovitou, proto je udávané výstupní napětí poloviční než napětí naprázdno. Ve většině případů, pokud umožňuje přístroj impedanci nastavit, pouze se změní zobrazovaná hodnota tak, aby odpovídala produktu děliče tvořeného výstupní a zatěžovací impedancí.

THD (Total Harmonic Distortion) je parametrem udávajícím poměr sumy efektivních napětí vyšších harmonických (nežádoucích) složek signálu vůči efektivní hodnotě první harmonické (žádoucí) složky signálu. THD se udává v procentech nebo dB.

3. Požadavky na přístroj

Jelikož si od této práce slibuji funkční a snadno využitelný výrobek, je velmi důležité specifikovat, jaké vlastnosti od přístroje vlastně očekávám. Pozornost proto věnuji jak elektrickým specifikacím, tak i uživatelskému rozhraní.

3.1. Základní koncepce

Jako základní parametry jsem uvedl maximální frekvenci, počet kanálů a maximální výstupní amplitudu signálu. V době zahájení vývoje jsem neměl na mysli konkrétnější využití, které by kladlo neobvyklé nároky na amplitudu nebo frekvenci přístroje, proto jsem tedy postupoval při prvotní koncepci přístroje s ohledem na co nejvyšší univerzálnost a zároveň příznivou úroveň složitosti a finanční náročnost projektu.

Jako rámcové cíle jsem si stanovil rozsah od maximálně 1 Hz do minimálně 1 MHz při skromné maximální amplitudě 2 voltů v zatíženém stavu s tím, že raději bych dosáhl vyšší amplitudy než vyšší frekvence.

Při diskusi s vedoucím práce mi bylo doporučeno vybavit přístroj možností přepínání amplitudových rozsahů, čímž lze dosáhnout vysokého rozlišení i v rámci velmi nízkých hodnot.

Mnohem snadnější rozhodnutí se týká volby výstupní impedance. V analogových přístrojích se využívá v drtivé většině případů tří možných jmenovitých impedancí:

V audio technice se využívá jmenovité impedance 600 ohmů a ve vysokofrekvenční technice se využívá buď 50 (častěji) nebo 75 ohmů (méně často). Generátor není určen primárně pro práci se zvukovou technikou, proto impedance 600 ohmů nepřipadá v úvahu. Impedance 50 ohmů je obtížněji realizovatelná, přináší však oproti 75 ohmům vyšší univerzálnost, neboť konverze z nižší výstupní impedance na vyšší lze realizovat sériovým odporem bez ztráty napětí.

Nejčastěji využívaným konektorem pro frekvenční generátory nezasahující do mikrovlnné oblasti (GHz a více) je BNC konektor, který se vyrábí se jmenovitou impedancí 50 ohmů, jmenovitá impedance přenosového vedení však téměř nehraje roli u výstupních frekvencí v řádu jednotek MHz.

Zapouzdření přístroje plánuji řešit až s ohledem na finální výrobek, zatím mám jen v úmyslu přístroj koncipovat jako kompaktní a přenosný, s napájením ze zásuvky.

3.2. Uživatelské rozhraní

Velkou pozornost věnuji uživatelskému rozhraní. Ačkoliv ovládání pomocí potenciometrů by bylo triviální, takové řešení by nebylo uživatelsky přívětivé - přesnost i reprodukovatelnost hodnot by byla nízká a hodnota by byla v průběhu měnění nestabilní.

Těmito nechtěnostmi netrpí řízení digitální. Změnu výstupních hodnot je možné provádět rotačním enkodérem po předem definovaných krocích nebo s využitím akcelerační, kdy se s vyšší rychlostí otáčení číselný krok zvyšuje. Hodnota může být také vkládána pomocí klávesnice. Digitální řízení rovněž umožňuje zobrazení nastavených hodnot na displeji.

3.3. Požadované parametry

Při zvážení výše uvedeného jsem dospěl k následujícím požadavkům:

frekvenční rozsah alespoň 1Hz až 1MHz

maximální amplituda výstupního signálu alespoň 4V v nezatíženém stavu s možností přepínání rozsahů automaticky i manuálně

výstupní impedance 50 ohmů

digitální řízení frekvence a amplitudy signálu

displej pro zobrazení výstupních hodnot

rotační enkodér pro zadání hodnot

číselná klávesnice pro zadávání hodnot

Tlačítka pro posuv kurzoru a přepínání rozsahů a tvarů signálu

3.4. Volba topologie přístroje

Existuje mnoho způsobů vytváření sinusového, trojúhelníkového a obdélníkového průběhu. V nejširší rovině by se daly rozdělit na analogové a digitální. Popis analogových generátorů signálu v této kapitole je velmi strohý a slouží pouze k získání širšího přehledu o problematice.

Analogového generování sinusového signálu můžeme dosáhnout buď využitím oscilátoru nebo tvarováním jiného, nejčastěji pravoúhlého nebo trojúhelníkového průběhu.

Generátory využívající tvarování signálu dnes téměř vymizely a byly nahrazeny digitálními generátory, které nabízejí nižší harmonické zkreslení, vyšší stabilitu kmitočtu a obecně univerzálnější použití.

Generátory využívající oscilátory stále nacházejí uplatnění v oblasti velmi vysokých kmitočtů, kde je prioritou nízké harmonické zkreslení. Tyto přístroje jsou dnes rovněž řízeny digitálně pomocí digitálních potenciometrů a varikapů za využití principů zpětné vazby např. ve fázovém závěsu PLL (Phase-locked-loop).

Ačkoliv je možné oba tyto typy generátorů vybavit digitálním řízením, mimo vysokofrekvenční a jiná velmi úzká bizarní uplatnění je takové řešení příliš komplikované ve srovnání s generátorem využívajícím digitální syntézu.

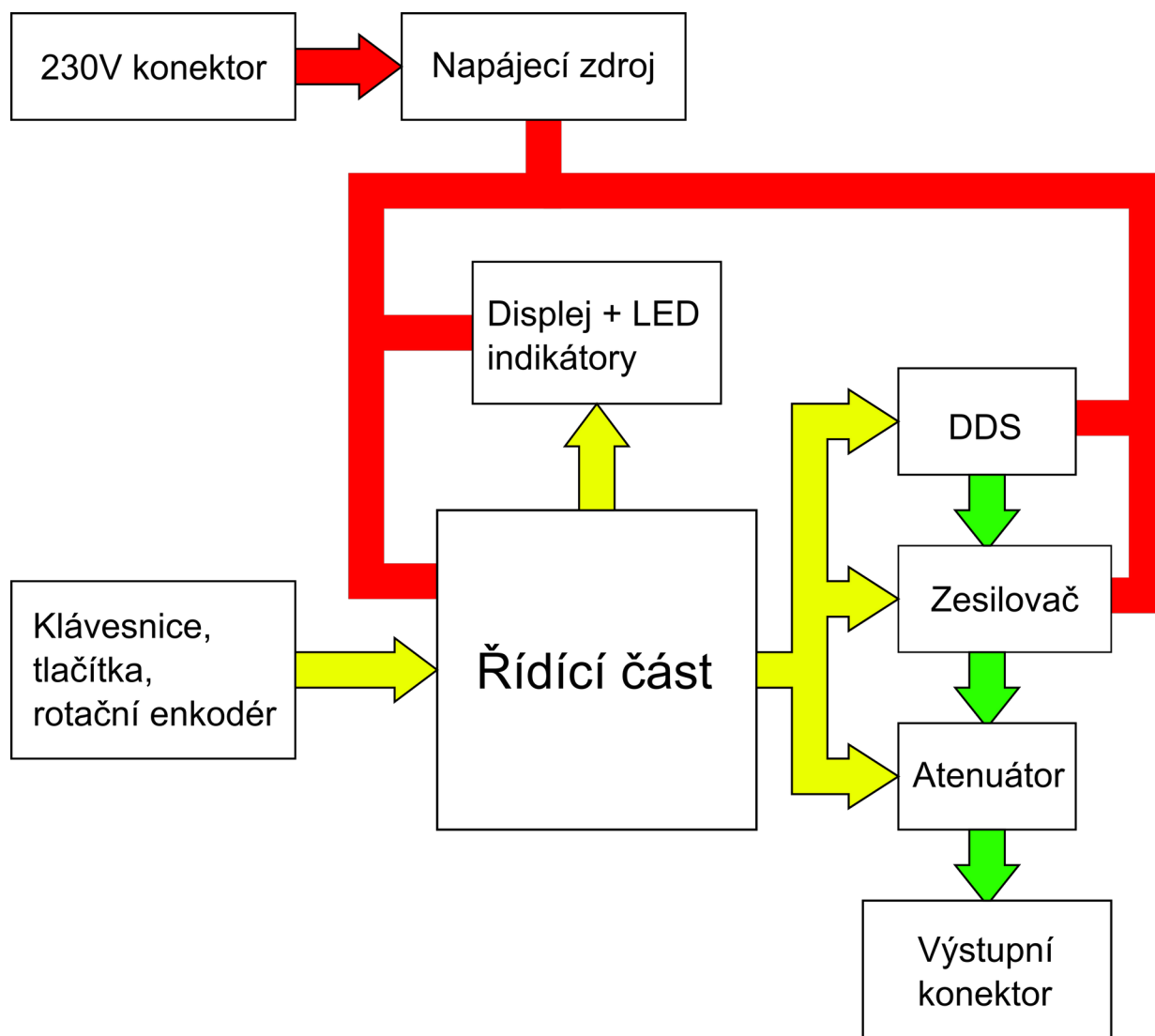
Za digitální syntézu se označuje princip, kdy je analogový signál generován pomocí digitálně-analogového převodníku (DAC - Digital to Analog Converter). Tento princip je dále popsán v kapitole 4.2.1. *Teorie činnosti přímé digitální syntézy.*

Na trhu jsou dostupná integrovaná řešení, která celý obvod digitální syntézy poskytují v jediném pouzdře. Integrované obvody digitální syntézy jsou řízeny digitálně přes protokol, jehož implementace je možná s využitím mikrokontroléru. Daný mikrokontrolér může zároveň zpracovávat data z rotačního enkodéru a klávesnice, obsluhovat zobrazovač, ovládat zesílení a přepínat rozsahy (zeslabovače).

4. Návrh přístroje

Samotný proces návrhu přístroje zde není pojat chronologicky, ale je rozdělen na popis a postup návrhu jednotlivých funkčních bloků přístroje.

4.1. Blokové schéma



4.2. DDS

DDS je zkratka pojmu Direct Digital Synthesis, tj. přímá digitální syntéza.

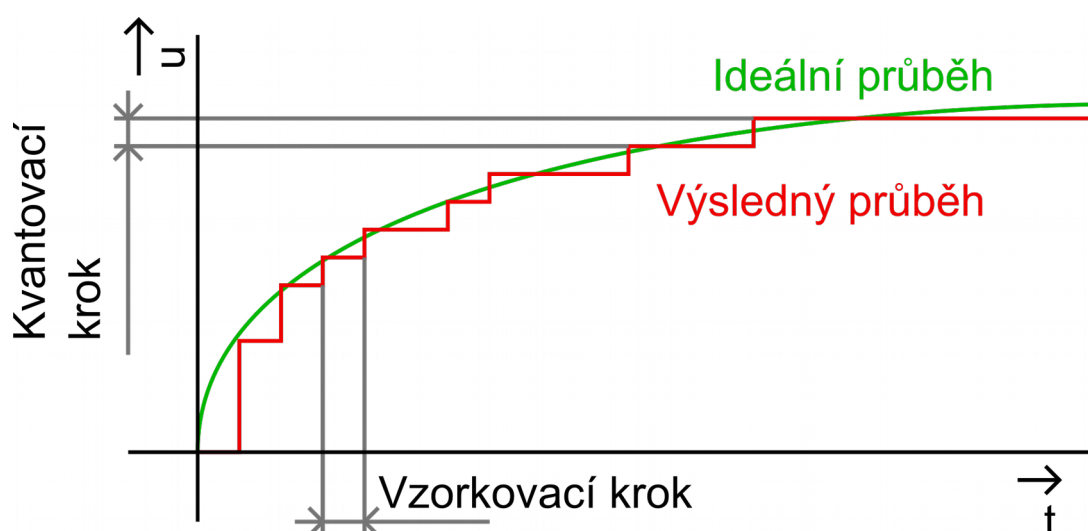
Účelem tohoto funkčního bloku je prvotní vytvoření signálu o neměnné amplitudě požadovaného tvaru a frekvence na základě pokynů řídicí části.

4.2.1 Teorie činnosti přímé digitální syntézy

Jak již bylo zmíněno v kapitole 3.4., proces digitální syntézy využívá ke generování analogového průběhu digitálně-analogový převod. Pomocí digitálně-analogového převodu nelze dosáhnout dokonalé reprodukce jakéhokoliv analogového průběhu, protože tvar generovatelného průběhu je omezen kvantovacím a vzorkovacím krokem.

Kvantování analogového signálu je proces „zaokrouhlení“ na diskrétní hodnoty, čímž vzniká nespojitý signál.

Vzorkování analogového signálu je proces, kdy je v daných okamžicích hodnota signálu zachycena a zůstává konstantní až do okamžiku zachycení dalšího vzorku.



-Vliv vzorkovacího a kvantovacího kroku na výsledný signál

Digitální syntéza je souhrnný výraz pro tento princip. Přímá digitální syntéza je princip, kdy je kvantovací krok konstantní a výstupní signál je aproximován pouhou změnou napětí při konstantní vzorkovací frekvenci převodu.

Obvod DDS v principu sestává z fázového akumulátoru, do kterého se každý hodinový takt přičte z frekvenčního registru ladící číslo určující výstupní frekvenci. Konverzí pomocí tabulky funkce (např. sinus) se obsah fázového akumulátoru převede na hodnotu v daný okamžik. Výstup tabulky se nakonec přivede na digitálně-analogový převodník.

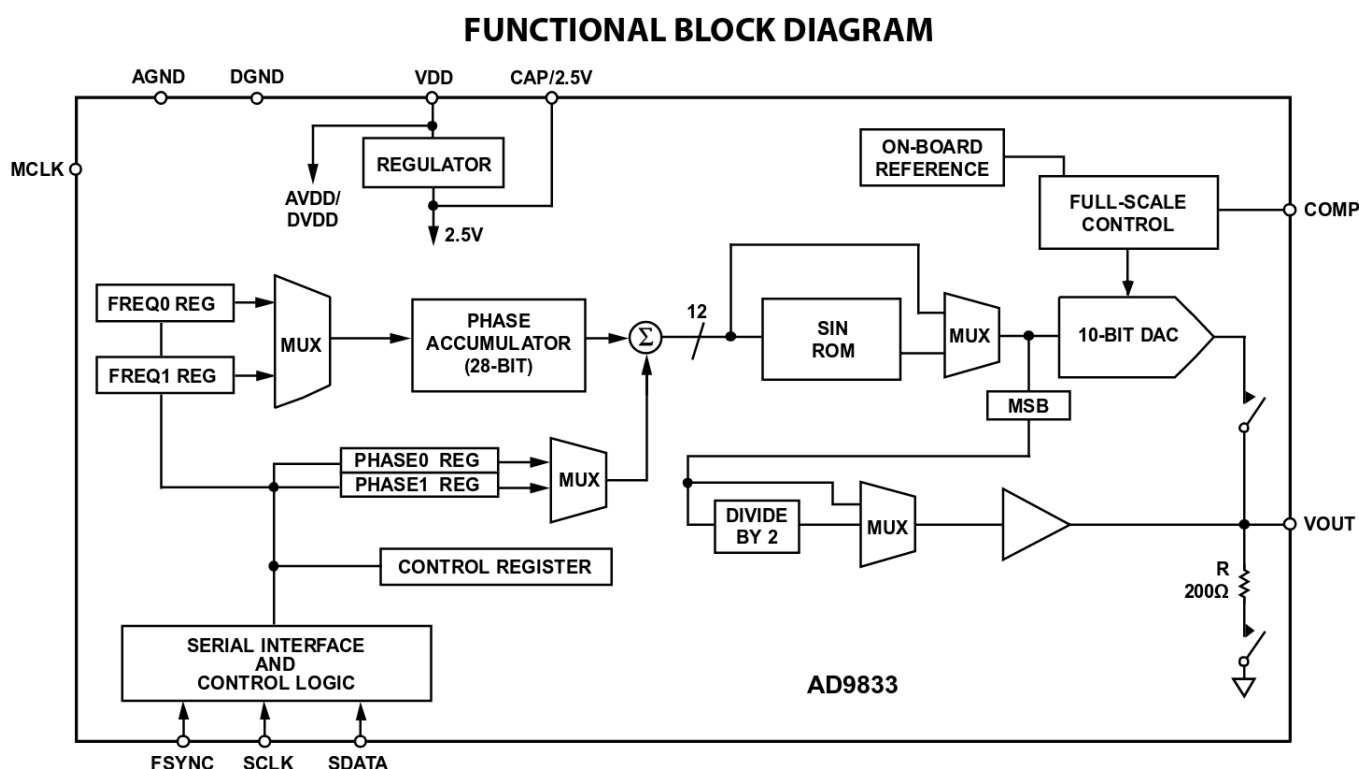
4.2.2. Výběr integrovaného obvodu DDS

Běžně dostupné integrované obvody DDS jsou vyráběny firmou Analog Devices s jedinou výjimkou obvodu ISL5314 vyráběného firmou Intersil. Obvod ISL5314 je však cenově nedostupný.

Firma Analog Devices vyrábí množství DDS obvodů, jež se liší zejména maximální hodinovou frekvencí, rozlišením DA převodníku, bitovou šířkou ladícího slova, možnostmi různých modulací výstupního signálu a v neposlední řadě dostupnými pouzdry a cenou.

Nejlevnějším čipem, dostupným v jiném než beznohém (QFN) pouzdře, je AD9833.

4.2.3. Popis obvodu AD9833



-Vnitřní blokové schéma AD9833 podle katalogového listu

AD9833 je dostupné v desetipinovém SMD pouzdře 10-MSOP s roztečí pinů 0,5mm a lze ji napájet až 5 volty. Maximální kmitočet řídicích hodin je 25MHz, z čehož dle Nyquistova vzorkovacího teorému vyplývá, že nejvyšší generovatelný kmitočet je 12,5MHz, v praxi je signál využitelný do nižší oblasti jednotek MHz. Taktovací kmitočet je generován krystalovým oscilátorem, které jsou ale velmi špatně dostupné pro napájení 5 volty, jsou

téměř výhradně na 3,3V. Hodinový signál logické úrovně 3,3V je ale stále kompatibilní s napěťovými rozsahy AD9833 napájené 5 volty.

Výstupní signál má v nezatíženém stavu amplitudu 0,6V při výstupní impedanci 200 ohmů.

Přestože obvod obsahuje tabulku pouze funkce sinus, je možné změnou řídicího slova převodní tabulku přemostit a tím dosáhnout trojúhelníkového průběhu na výstupu. Rovněž je možno na výstup připojit místo DA převodníku nejvýznamnější bit fázového akumulátoru, díky čemuž lze obvod použít i ke generaci pravoúhlého signálu.

Obvod obsahuje dvacetiosmibitový fázový akumulátor, k němuž je každý hodinový takt přičteno stejně široké ladící frekvenční slovo z jednoho ze dvou frekvenčních registrů.

K výstupu fázového akumulátoru je přičten obsah jednoho ze dvou dvanáctibitových registrů fázového posuvu. Výstup fázového registru může být přiveden na vstup desetibitového DA převodníku buď přímo nebo po konverzi pomocí dvanáctibitové tabulky funkce sinus.

Řídící a ladící slova jsou do obvodu zasílána přes sériový protokol SPI- Serial Peripheral Interface, využity jsou tři vodiče: SCLK, SDATA a FSYNC.

Nastavení obvodu je dáno čtrnáctibitovým řídicím slovem v Control Registru.

Obvod přijímá šestnáctibitová slova s nejvýznamnějším bitem jako prvním v pořadí (MSB first: „Most Significant Bit first“). Bity jsou zde značeny jako D15-D0. První dva bity udávají účel přenosu podle následující tabulky:

D15	D14	Účel přenosu
0	0	Zápis řídicího slova do Control Registru
0	1	Zápis ladícího frekvenčního slova do registru FREQ0
1	0	Zápis ladícího frekvenčního slova do registru FREQ1
1	1	Zápis fázového posuvu do registru PHASE0, pokud D13=0 a PHASE1, pokud D13=1

Zbýlých 14 bitů má různý význam podle zvoleného účelu přenosu:

Při zápisu ladícího frekvenčního slova jsou bity D13-D0 vyšší nebo nižší polovina ladícího slova. O kterou polovinu se jedná, závisí na nastavení Control Registru.

V případě zápisu fázového posuvu byla funkce D13 již popsána v předchozí tabulce, D12 nemá vliv a D11-D0 je samotná dvanáctibitová hodnota fázového posuvu.

Význam jednotlivých bitů Control Registru je popsán v následujícím odstavci:

Název bitu	Význam
D13 - B28	Tento bit slouží k nahrání dvacetiosmibitového slova do frekvenčního registru. Pokud je nastaven na 1, příští dva zápisy ladícího frekvenčního slova budou reprezentovány jako vyšších a nižších 14 bitů ladícího slova (v tomto pořadí), přičemž změna se projeví až při zápisu druhé poloviny. Pokud je nastaven na 0, uplatní se D12-HLB.
D12 - HLB	Tento bit určuje, jestli při příštím zápisu ladícího frekvenčního slova bude zapsáných nižších (0) nebo vyšších (1) 14 bitů slova.
D11 - FSELECT	Určuje, zda je používáno ladící frekvenční slovo z FREQ0, či FREQ1.
D10 - PSELECT	Určuje, zda je používán fázový posuv z PHASE0, či PHASE1.
D9 - vyhrazeno	Tento bit by měl být ponechán nastaven na 0.
D8 - RESET	Nastavením RESET na 1 se vynulují vnitřní registry (zejména fázový akumulátor), ale ovládající slova zůstanou nedotčena.
D7 - SLEEP1	Nastavením SLEEP1 na 1 je vypnuto zvyšování fázového akumulátoru, tudíž na výstupu DAC zůstává konstantní napětí.
D6 - SLEEP12	Nastavením SLEEP12 na 1 je vypnut DAC.
D5 - OPBITEN	Při OPBITEN=1 je výstup DAC nahrazen nejvyšším bitem fázového akumulátoru.
D4 - Vyhrazeno	Tento bit musí být ponechán nastaven na 0.
D3 - DIV2	Určuje, zda je při OPBITEN=1 výstupní frekvence vydělena dvěma
D2 - Vyhrazeno	Tento bit by měl být ponechán nastaven na 0.
D1 - MODE	Určuje, zda je na vstupu DAC funkce sinus (0), či přímo fázový akumulátor (1)
D0 - Vyhrazeno	Tento bit musí být ponechán nastaven na 0.

4.2.4. Návrh filtru

Signál generovaný AD9833, stejně jako kterýmkoliv jiným digitálně-analogovým převodem, má značný obsah vyšších harmonických složek signálu v kmitočtovém spektru, způsobených skokovou změnou výstupního signálu s každým vzorkem.

Druhou nečistotou tohoto obvodu je, že jeho rozsah je mezi 0 a 0,6V, tzn. obsahuje nežádoucí stejnosměrnou složku.

Stejnosemřnou složku lze odstranit horní propustí typu RC. Při zvážení celého frekvenčního rozsahu přístroje je však nejnižší řádoucí frekvence 1Hz obtížně odlišitelná od stejnosemřné složky signálu. Při zátěži 200 ohmů vychází pro mezní kmitočet v řádu jednotek Hz příliš vysoké hodnoty, např. pro 1Hz kapacita 0,8mF. Takto velké kondenzátory jsou snadno realizovatelné pouze ve formě elektrolytických variant, ty ale mají extrémní parazitní vlivy při frekvencích i pouhých jednotek kHz. Parazitní vlivy na vyšších frekvencích lze eliminovat paralelním zapojením kvalitnějších, ale menších kondenzátorů.

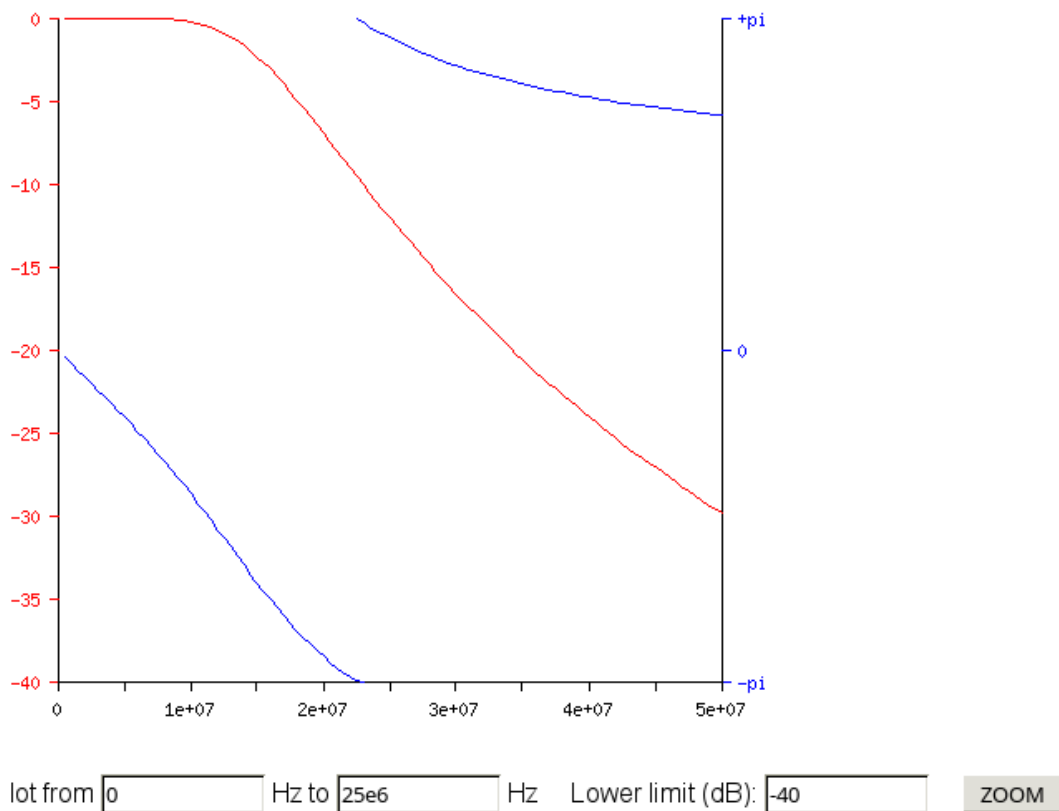
Použitím vyšší kapacity se sníží mezní kmitočet, což je pro účel pouhého odstranění stejnosemřné složky řádoucí a zároveň nekritické za předpokladu, že kmitočet zlomu bude nižší. Z tohoto důvodu lze zvolit přibližnou hodnotu např. 1mF nebo paralelně 3x330uF pro snížení ekvivalentního sériového odporu (ESR) na třetinu.

Kondenzátory nižších kapacit je možné zvolit keramické. Hodnoty je možné zvolit nahodile, je pouze nutné, aby mezní kmitočet jimi tvořeného filtru byl o rozumnou rezervu nižší než oblast, kdy se u elektrolytických projeví parazitní vlivy. Vyhovuje např. paralelní kombinace 2x10uF, jejichž mezní kmitočet je 40Hz. Pro propustnost nejvyšších kmitočetů je filtr doplněn o 2x100nF, rovněž tvořených keramickým kondenzátorem.

Obtížnější je návrh dolní propusti pro omezení rychlých hran digitálně tvořeného signálu. Mezní kmitočet musí být nejen dost vysoko, aby signál o řádoucí frekvenci téměř neovlivnil, ale zároveň musí stále spolehlivě filtrovat i řádově vyšší kmitočty, než je jeho mezní, což může být u indukčností značný problém díky nedokonalostem jader.

Návrh filtrů vyšších řádů pro vyšší frekvence je velice komplikovaný úděl, proto jsem zvolil relativně nekonvenční postup nahodilé volby hodnot v automatizovaném návrhovém nástroji pro LC filtry, dostupném na stránkách Department of Computer Science, University of York, na adrese <https://www-users.cs.york.ac.uk/~fisher/lcfilter/>

Kompromisem mezi strmostí a komplexností je Butterworthův filtr třetího řádu a metodou pokus-omyl jsem dospěl ke vhodným hodnotám cívek 2x2uH a kondenzátoru 100pF, což má za následek téměř plochou převodní charakteristiku až do cca 6MHz. Při 25MHz (taktovací frekvence AD9833) potom má filtr útlum -12dB, což odpovídá poklesu na 25% napětí a 6% výkonu.

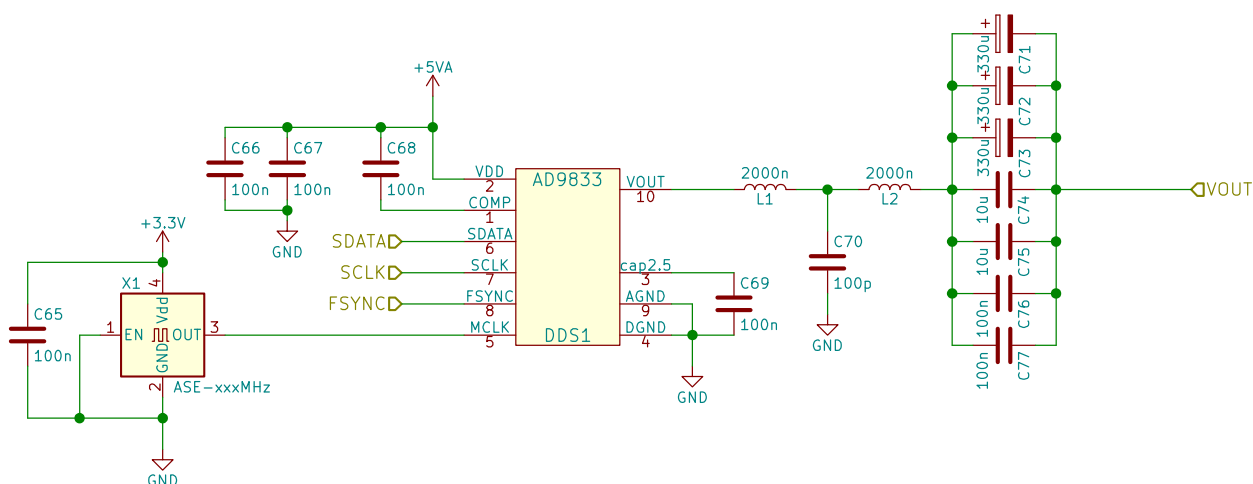


-Převodní charakteristika od 0 do 50MHz

Vzduchové cívky těchto indukčností nevycházejí rozměrově příliš velké, proto jsem se rozhodl navinout si je sám.

Všechny výpočty předpokládají zatížení filtru 200 ohmy, čehož bude dosaženo 200 ohmovou vstupní impedancí zesilovače. Zatížení jmenovitou impedancí bude mít za následek pokles amplitudy signálu na 0,3V.

4.2.5. Schéma DDS části



4.3. Zesilovač

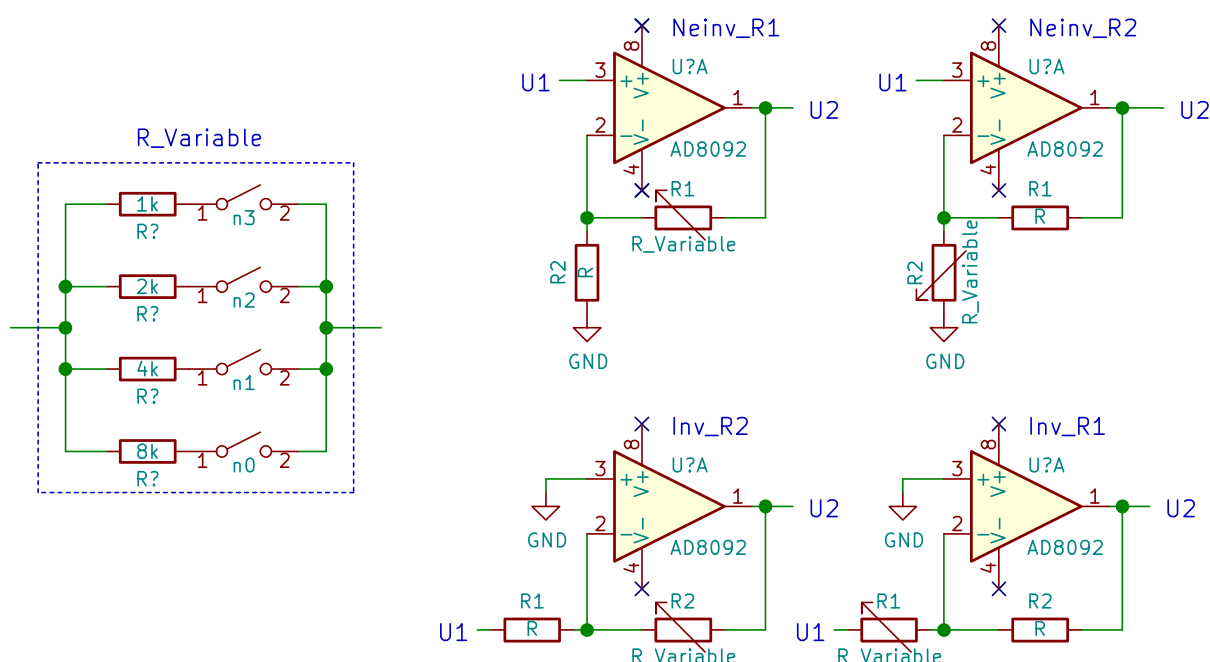
Úkolem zesilovače je přijmout při vstupní impedanci 200 ohmů signál o amplitudě 0,3V a zesílit ho na různou amplitudu v rozsahu minimálně jedné dekády při výstupní impedanci 50 ohmů.

4.3.1 Volba topologie zesilovače

Kvůli nutně přesnému nastavení zesílení se jako pragmatické řešení jeví využití operačního zesilovače. Operační zesilovač ze své podstaty má teoreticky nekonečné zesílení, které se omezením zpětnou vazbou dá přesně snížit na inverzní hodnotu přenosu zpětné vazby. Změnou odporu ve zpětné vazbě můžeme dosáhnout změny zesílení.

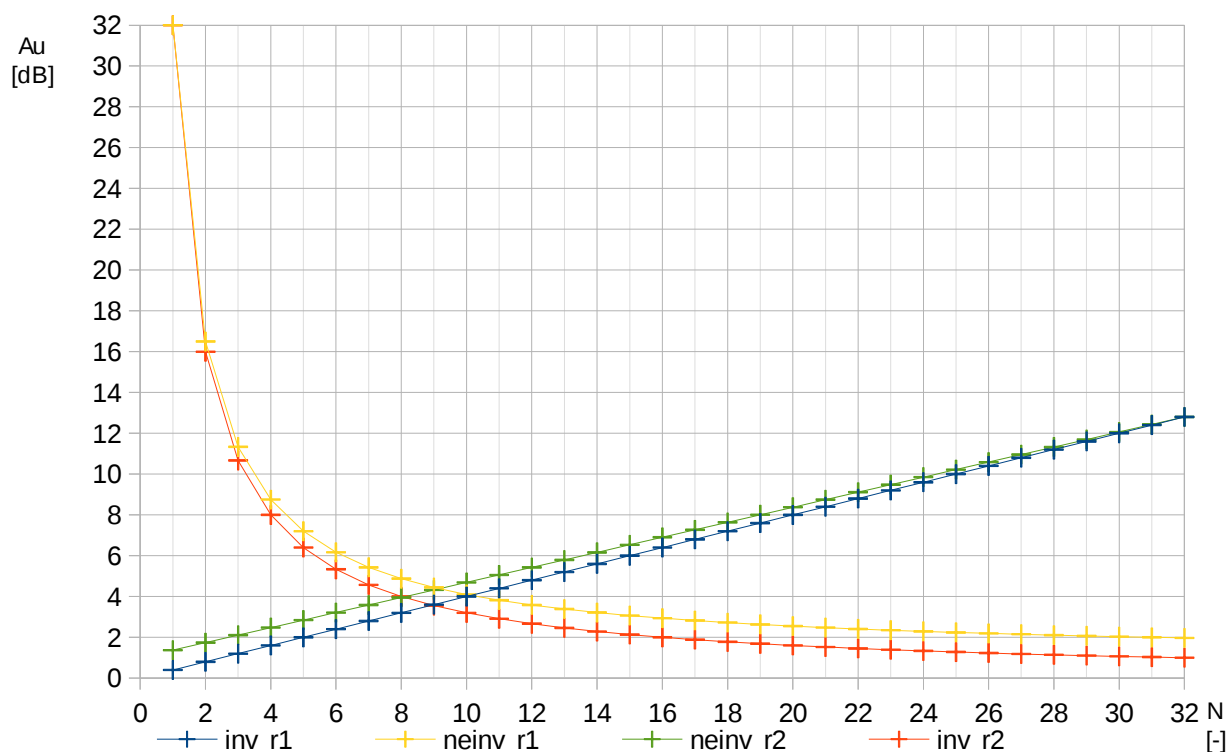
Změnu odporu digitálním řízením je možné zajistit využitím digitálního potenciometru, ty běžně dostupné ale nejsou zamýšleny pro použití při potřebných frekvencích. Druhá možnost je využití diskretního spínání odporů buď pomocí relé nebo polovodičových analogových spínačů.

Pro zesílení signálu lze využít zapojení invertující a neinvertující, s proměnným odporem zapojeným jako R1 nebo R2:



Digitálně řízený odpor (v obrázku výše R_Variable) lze nejnázše realizovat spínáním paralelních váhových odporů (viz. obrázek), kde nejvyšší bit ovládacího čísla N spíná nejmenší odpor a nejnižší bit N spíná největší odpor. Výsledný odpor je nepřímo úměrný N. Je žádoucí, aby mezi řídicím číslem a zesílením byl lineární vztah. V

následujícím grafu jsou znázorněny tyto závislosti pro různá zapojení proměnného odporu v obvodu:



Jako nejvhodnější řešení se jeví neinvertující zapojení s proměnným odporem R_1 , protože zesílení takového zapojení může být i nižší než 1 a je lineární vůči ovládacímu slovu. Nevýhoda tohoto zapojení je vstupní impedance závislá na nastaveném zesílení. Tato nevýhoda se dá eliminovat použitím ne spínače, ale přepínače, díky čemuž daný váhový odpor zatěžuje zdroj signálu pořád, ale pokud je daný bit vypnutý, proud se odvede na skutečnou zem místo virtuální země zesilovače. Toto řešení odstraňuje i problém propustnosti přepínače pro vysoké kmitočty kvůli parazitní kapacitě mezi vstupem a výstupem ve vypnutém stavu.

Nejběžnější délka ovládacího slova je 8 bitů, tudíž bude zapojení obsahovat 8 váhových odporů a přepínačů. V tomto zapojení připadá nejvýznamnější bit nejmenšímu odporu a naopak, protože zesílení je nepřímo úměrné R_1 , který je nepřímo úměrný ovládacímu slovu. Zesílení je tedy vůči ovládacímu slovu přímo úměrné.

Z důvodu zlepšení dynamických vlastností zesilovače a snadnějšího výpočtu odporů i jejich realizace je využito dvou operačních zesilovačů. První stupeň zesílí signál amplitudy 0,3V na vhodnou kulatou hodnotu a druhý stupeň má zesílení proměnné.

První stupeň zesilovače je tvořen invertujícím zapojením s potřebnou vstupní impedancí 200 ohmů.

Výstup druhého stupně je připojen se sériovým rezistorem 50 ohmů poskytujícím charakteristickou výstupní impedanci.

4.3.2. Výpočty zesílení a hodnot odporů

Operační zesilovač má lepší dynamické vlastnosti, když je zesílení zapojení nižší, proto je celkové zesílení vhodné rozdělit na oba stupně rovným dílem, pokud uvažujeme s maximálním zesílením. Maximální výstupní amplituda druhého stupně může být optimistických cca 10V. Celkové požadované zesílení je tedy $10 / 0,3 = 33,333\overline{V}$. Odmocněním získáme zesílení obou stupňů 5,77. Výstupní amplituda prvního stupně by tedy byla 1,7V, zaokrouhleně 2V. Vhodné zesílení prvního stupně je tedy $2 / 0,3 = 6,666\overline{V}$.

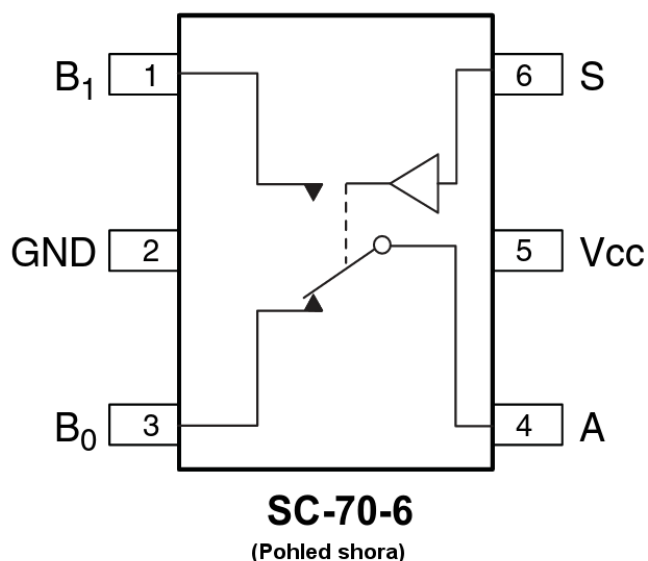
Počet kroků zesílení je 2^n pro n bitů. Při použití neinvertujícího zapojení i pro prvotní zesilovač, zesílení je možné globálně měnit změnou R_2 . Velikost kroku zesílení je $A_{u_{\max}} / 2^n$. Výstupní hodnotě 10V je blízko binárně kulatá hodnota 12,8V, díky které získáme velikost kroku výstupní amplitudy příjmených $12,8 / 256 = 0,05V$.

Maximální zesílení druhého stupně tedy vyjde 6,4. Pro zjištění hodnot součástek se jako R_1 použije jeho hodnota při teoretickém vstupním slově 256, tedy polovina nejmenšího váhového odporu.

Volba váhových odporů je otázka kompromisu mezi velkým zatížením zdroje v případě malých odporů a náchylností k šumu a ovlivnitelností parazitními vlivy. Jako rozumný kompromis jsem zvolil odpory 1-128kohmů.

R_2 tedy získáme jako $6,4 * 500 = 3200$ ohmů, protože teoretický maximální odpor R_1 má velikost poloviny váhového odporu nejvyššího řádu, což je ten nejmenší, tedy 1kohm.

4.3.3. Volba analogového přepínače



-Analogový přepínač AOZ6135

Na trhu je množství analogových přepínačů a multiplexerů jednobanových i vícebanových. Liší se hlavně cenou, pouzdem a odporem v sepnutém stavu.

Jako nejvhodnější řešení se jeví AOZ6135 - odpor v sepnutém stavu je nižší než 0,9 ohmu a je použitelný i na řádově vyšších frekvencích než v tomto přístroji. Obvod je v SC-70-6 SMD pouzdře o šesti nohách, které odpovídají kladnému a zápornému napájení, třem kontaktům přepínače a ovládacímu vstupu. Z důvodu nedostupnosti v době návrhu byl tento obvod nahrazen vývodově kompatibilním NC7SB3157 ve stejném pouzdře.

NC7SB3157 má mezní kmitočet 250MHz, dynamicky je tedy dostačující. Od AOZ6135 se liší zejména vyšším odporem v sepnutém stavu (typicky 3-7 ohmu).

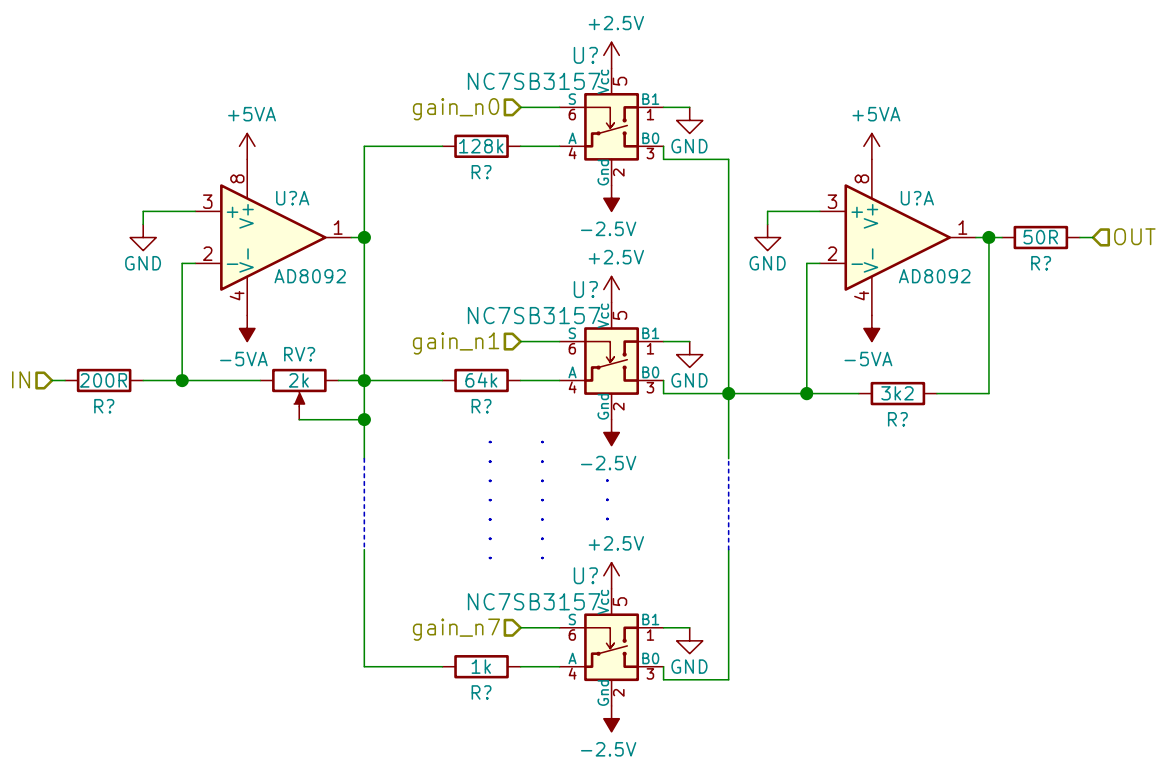
4.3.4 Volba operačního zesilovače

Návrh obsahuje dva operační zesilovače, které oba musí zesílit signál v řádu jednotek MHz alespoň sedmkrát. Maximální zesílení operačního zesilovače lze aproximovat jako mezní frekvence / zesílení. Úpravou vztahu získáme vzorec pro určení minimálního nutného mezního kmitočtu $f_0 = f_{\max} * A_u$. Např. pro frekvenci 1 MHz a zesílení 7 získáme mezní frekvenci 7MHz. V praxi je ale nutné zvolit mezní frekvenci OZ s velkou rezervou, např. 50MHz.

Nejdostupnější operační zesilovače na tyto frekvence jsou napájeny nesymetricky 5 volty, ty mají však velmi vysoké nelineární zkreslení způsobené jejich vnitřní strukturou, kterou tvoří dva operační zesilovače, kdy jeden pracuje v rozsahu těsně od negativního napájecího napětí a druhý od pozitivního.

V jen o málo vyšší cenové relaci se pohybuje dvojitý operační zesilovač AD8092 s mezním kmitočtem 110MHz. Tento zesilovač by měl poskytnout poměrně vysokou výstupní amplitudu i na vysokých kmitočtech.

4.3.5. Zjednodušené schéma zesilovače



4.4. Zeslabovač

Účelem zeslabovače, či atenuátoru je snížit výstupní napětí na přesnou hodnotu při zachování charakteristické impedance. To se hodí zejména ke měnění rozsahů (dekád), ale i pokud je nutné nastavit rychle a přesně jiný než desetinný dělicí poměr.

4.4.1. Útlumové články

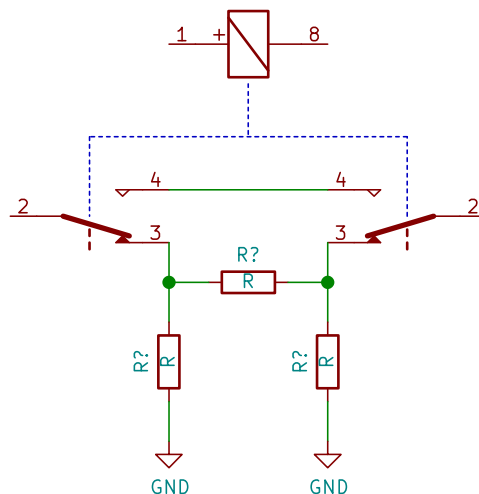
Atenuátor sestává z kaskády více útlumových článků, jejichž útlum v dB se sčítá. Články mohou být přemostěny pomocí relé nebo ručního přepínače, použití elektronických přepínačů je nevhodné z důvodu parazitních kapacit a odporů, které by ovlivnily přesnost.

Útlum útlumového článku se udává v decibelech [dB], což je jednotka udávající poměr jako vzdálenost na logaritmické stupnici.

Pro poměr výkonu se hodnota útlumu získá podle vzorce $A_P = 10 \cdot \log(P_2/P_1)$, pro poměr napětí se užíje vzorec $A_U = 20 \cdot \log(U_2/U_1)$. Důvod rozdílu je takový, že stejný počet decibelů útlumu napětí (např. na polovinu: -6dB) vyvolá stejný počet decibelů útlumu výkonu, ten je ale úměrný druhé mocnině napětí, tudíž -6dB znamená útlum výkonu na čtvrtinu.

Kromě dekadických rozsahů tří řádů tvořených třemi 20dB články obsahuje attenuátor i útlumový článek pro poloviční útlum napětí (6dB) a poloviční útlum výkonu (3dB).

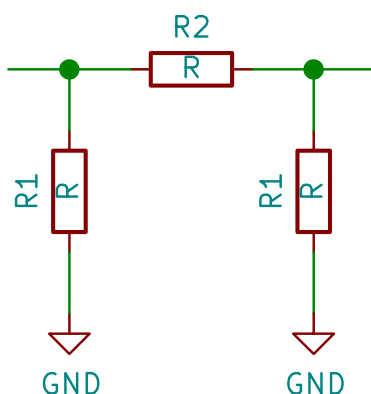
Každý útlumový článek může být do kaskády zařazen nebo přemostěn a z obvodu vyřazen, aby obvod nezatěžoval.



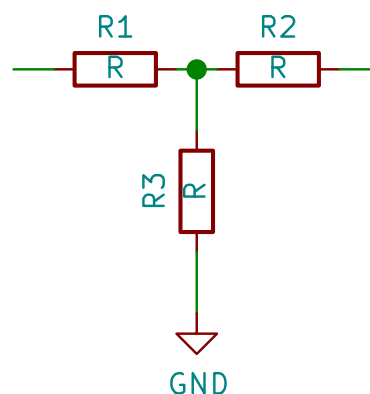
-Jeden stupeň spínatelného útlumového článku

Existují dvě základní topologie útlumových článků:

Pi-článek:



a T-článek:



4.4.2. Výpočet hodnot odporů

V zeslabovači jsou použity Pi-články, protože vyžadují pouze dvě různé hodnoty odporů. Odporů R_1 a R_2 lze vypočítat ze jmenovité impedance (Z) a inverzní hodnoty požadovaného útlumu (k):

$$R_1 = Z * ((k+1) / (k-1))$$

$$R_2 = (Z / 2) * ((k^2 - 1) / k)$$

Výpočtem tedy získáme hodnoty:

A_u [dB]	k	R_1	R_2
-3dB	$2^{1/2} = 1,414$	291,421356237309	17,6776695296637
-6dB	2	150	37,5
-20dB	10	61,11111	247,5

4.4.3. Realizace pomocí reálných odporů

Hodnoty R_1 a R_2 vycházejí velmi nepohodlně z pohledu standardní řady rezistorů, proto je nutné je nahradit různými kombinacemi reálně dostupných odporů.

Vytváření kombinací odporů je pouze otázka zdoluhavé nahodilé aproximace technikou pokus-omyl při využití tabulkového procesoru LibreOffice Calc k provádění většiny výpočtů. Různé styly jsem zkoušel, dokud jsem nedosáhl únosné věrnosti, množství komponent i hodnot.

4.5. Uživatelské rozhraní a řízení systému

Úkolem tohoto celku je zajistit propojení komponent, jejich komunikaci i možnost ovládání přístroje.

4.5.1. Řídící mikrokontrolér

RESET	(PCINT14/RESET) PC6	1	28	PC5 (ADC5/SCL/PCINT13)	Analog input 5
Digital pin 0 (RX)	(PCINT16/RXD) PD0	2	27	PC4 (ADC4/SDA/PCINT12)	Analog input 4
Digital pin 1 (TX)	(PCINT17/TXD) PD1	3	26	PC3 (ADC3/PCINT11)	Analog input 3
Digital pin 2	(PCINT18/INT0) PD2	4	25	PC2 (ADC2/PCINT10)	Analog input 2
Digital pin 3	(PCINT19/OC2B/INT1) PD3	5	24	PC1 (ADC1/PCINT9)	Analog input 1
Digital pin 4 (PWM)	(PCINT20/XCK/T0) PD4	6	23	PC0 (ADC0/PCINT8)	Analog input 0
VCC	VCC	7	22	GND	Ground
Ground	GND	8	21	AREF	Analog reference
Crystal	(PCINT8/XTAL1/TOSC1) PB6	9	20	AVCC	Analog VCC
Crystal	(PCINT7/XTAL2/TOSC2) PB7	10	19	PB5 (SCK/PCINT5)	Digital pin 13
Digital pin 5 (PWM)	(PCINT21/OC0B/T1) PD5	11	18	PB4 (MISO/PCINT4)	Digital pin 12
Digital pin 6 (PWM)	(PCINT22/OC0A/AIN0) PD6	12	17	PB2 (MOSI(OC2A/PCINT3)	Digital pin 11 (PWM)
Digital pin 7	(PCINT23/AIN1) PD7	13	16	PB2 (SS/OC1B/PCINT2)	Digital pin 10 (PWM)
Digital pin 8	(PCIO/CLKO/CP1) PB0	14	15	PB1 (OC1A/PCINT1)	Digital pin 9 (PWM)

-Rozložení vývodů ATmega48, 88, 168, 328 a 328p ve variantě DIL

Úkolem mikrokontroléru je přijímat data z tlačítek, rotačních enkodérů a klávesnice, interpretovat je, zobrazit nastavení a na jejich základě ovládat AD9833, zesilovač a spínání útlumových článků.

Od stádia raného prototypu jsem využíval mikrokontrolér ATmega328p ve vývodovém DIL28 pouzdře. Tento mikrokontrolér je dostatečně výkonný a netrpí nedostatkem paměti RAM ani FLASH. Z důvodu nízkého počtu vývodů jsem však předpokládal, že pro finální produkt použiji některou větší variantu, nakonec jsem ale zvolil metodu rozšíření výstupů pomocí posuvných registrů.

ATmega328p je mikrokontrolér vyrobený firmou Atmel osmibitové architektury AVR. Má k dispozici 30 obecných vstupů/výstupů (GPIO), pokud není osazen externí krystal. Kmitočet vnitřního oscilátoru je 8MHz.

GPIO jsou rozděleny na tři brány - porty B, C a D. Z portů B a D je k dispozici všech 8 vývodů, z portu C je k dispozici pouze 6 vývodů a sedmý se dá získat vypnutím funkce reset. Kompletní program mikrokontroléru je uveden v přílohách.

4.5.2. Displeje

Pro zobrazení nastavené frekvence a amplitudy jsem se rozhodoval mezi vlastním sedmisegmentovým displejem, hotovými osmimístnými sedmisegmentovými moduly a nějakou formou grafického displeje.



-Modul osmimístného sedmisegmentového displeje založený na MAX7219

Kvůli úspoře času jsem nakonec zvolil osmimístné moduly s integrovaným obvodem MAX7219. Tento integrovaný obvod přijme data pro zobrazení sériovým SPI protokolem a veškeré úkony spojené s obsluhou maticově zapojených zobrazovačů provádí automaticky.

Modul disponuje pětipinovým konektorem obsahujícím dva vstupy napájení a tři vstupní signály DIN, CS a CLK. Pin CS je označen mylně, CS je vstup vyskytující se na velice podobném integrovaném obvodu MAX7221, který je analogický vstupu LOAD.

DIN (Data IN) je datový vstup sériového přenosu, CLK (CLOCK) je takt přenosu reagující na vzestupnou hranu a LOAD je signál pro zachycení posledních 16 bitů do paměti, rovněž citlivý na vzestupnou hranu. Na modulu se nachází i druhý totožný konektor, který

slouží k řetězení modulů a na jeho datový výstup je připojen výstup šestnáctibitového posuvného registru.

Data jsou do displeje odesílána v pořadí MSB first po dvou bytech. První odeslaný byte určuje adresu vnitřního registru a druhý byte data.

Obvod obsahuje šestnáct vnitřních registrů.

Adresu 0 má registr NO-OP, do něhož zapsaná data nemají žádný význam. Tato vlastnost je užitečná při řízení pouze jednoho modulu, pokud je jich více zřetězených.

Adresy 1-8 náleží registrům Digit - Digit 7, do kterých se ukládají data pro zobrazení.

Na adrese 9 se nachází Decode-Mode registr, ve kterém je uložena informace, zda se pro jednotlivé segmenty má použít převod čísel na znaky.

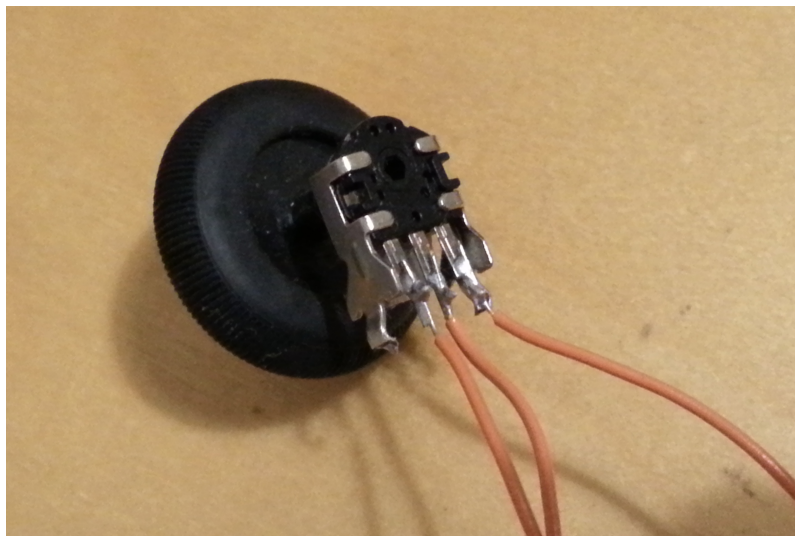
Adresu 10 okupuje registr Intensity, jehož čtyři bity určují celkový jas displeje.

Scan Limit registr na adrese 11 udává, kolik míst má obvod zobrazit, počítáno od nejnižšího řádu.

Na adrese 12 se nachází Shutdown registr. Nastavením jeho LSB na 1 se obvod uvede v činnost, v opačném případě je nečinný.

Na adrese 15 (nikoliv 13) se nachází Test registr. Nastavením jeho LSB na 1 se zapnou všechny segmenty.

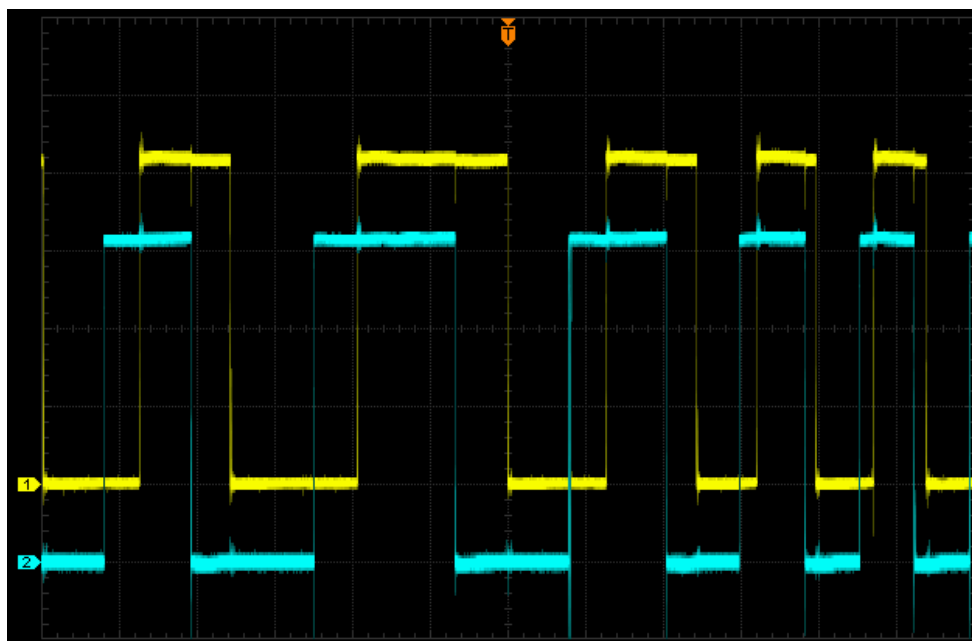
4.5.3. Rotační enkodér



-Rotační enkodér z kolečka z počítačové myši

Rotační enkodér je ovládací kolečko, jehož otočení o jeden krok by inkrementovalo, či dekrementovalo nastavenou hodnotu o daný řád. V programu je řešeno přetečení (zvýšení, či snížení vyššího řádu při překročení devítky, či nuly). Enkodéry jsou v návrhu použity dva, pro frekvenci a amplitudu.

Výstupem rotačního enkodéru z kolečka počítačové myši je dvoubitový kvadrurní signál (Grayův kód):



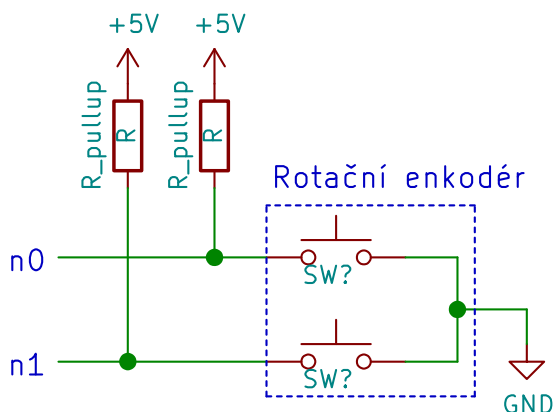
-Průběh dvou kvadrurních signálů rotačního enkodéru (Grayův kód)

Grayův kód má výhodu, že při změně hodnoty o jednotku se vždy změní pouze jeden bit. V případě kolečka myši připadají na jeden mechanický krok dvě kvadrurní hodnoty. Zákmity při změně bitů vždy ovlivní jen jeden bit zatímco druhý je stabilní, z toho důvodu zákmity nezpůsobují falešné kroky. K získání informace o otočení o jeden krok je potřeba znát výstupu enkodéru aktuální hodnotu, předchozí hodnotu a poslední známou hodnotu ve stabilní poloze (otočení o celý krok). Ve stabilní poloze je výstup vždy 00 nebo 11.

Otočení o celý krok se tedy dá zjistit podle tabulky:

Aktuální	Poslední	Poslední stabilní	Čítač kroků
00	10	11	Inkrementace
00	01	11	Dekrementace
11	01	00	Inkrementace
11	10	00	Dekrementace

Enkodéry existují optické a mechanické. Zde je využit enkodér mechanický, protože nevyžaduje napájení a ke čtení jeho hodnot stačí vstup s Pull-Up rezistorem.



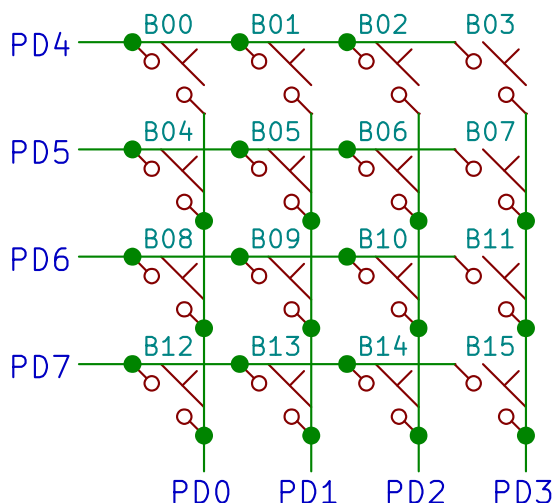
-náhradní schéma se znázorněním Pull-up odporů

4.5.4. Klávesnice a ostatní tlačítka



-Klávesnice

Klávesnici jsem vybral, protože jsem jí již vlastnil. Klávesnice je číselná s šesti nečíselnými znaky. Klávesy jsou propojeny do matice 4x4, vyvedeny jsou tedy čtyři vodiče sloupců a čtyři vodiče řádek. Těchto osm vodičů je připojeno k bráně D mikrokontroléru. Čtení kláves je zajištěno obsluhou přerušení Pin Change Interruptu, který nastane při změně hodnoty jakéhokoliv pinu v dané bráně.



-Vnitřní zapojení klávesnice

Mimo dobu čtení klávesnice jsou piny řádků nastaveny na výstup logické 0 a piny sloupců na vstup s Pull-Up rezistory. Při stisknutí jakékoliv klávesy se tudíž změní stav některého ze vstupů na 0. To vyvolá obsluhu přerušení, ve které se čtyřikrát nastaví na výstup logické 0 pouze jeden řádek a na pinech sloupců se přečte nula tam, kde je v daném

řádku klávesa stisknuta. Takto se přečte stav všech šestnácti kláves a uloží se do šestnáctibitové globální proměnné.

Nečíselných kláves na klávesnici lze využít i pro potvrzení zadané hodnoty, posuv kurzoru a přepínání tvaru průběhu.

Kromě klávesnice je potřeba 5 tlačítek pro přepínání výstupních útlumových článků a jedno pro přepínání nastavení amplitudy a frekvence.

4.5.5. Rozšíření výstupů pomocí posuvných registrů

Jelikož počet vývodů mikrokontroléru ATmega328p nestačí pro přímé ovládání zesilovače a zeslabovače, relativně snadným řešením je použití posuvných registrů se sériovým vstupem a paralelními výstupy (SIPO).

Obvod 74HC595 je SIPO registr s osmi výstupy s výstupní pamětí, nevznikají tedy na výstupech dočasné hodnoty během sériového přenosu a hodnoty výstupů se aktualizují na základě externího impulzu.

Obvod 74HC595 má pět vstupů, jejichž názvy se v dokumentaci liší podle výrobce, zde jsou použity názvy z katalogového listu společnosti Nexperia (dříve NXP):

DS: vstup sériových dat

SHCP: takt sériového přenosu

STCP: takt výstupní paměti (aktualizace výstupů)

MR: Master Reset (aktivní v nule)

OE: (Output Enable): povolení výstupů (aktivní v nule)

Vstup MR je napevno připojen k logické 1, OE také napevno k nule.

Důležité je zmínit výstupy paralelní (Q0-Q7) a zvláště sériový (Q7S), ke kterému lze pro zřetězení více obvodů připojit vstup dalšího posuvného registru.

Jsou využity dva zřetězené posuvné registry pro ovládání relé výstupního zeslabovače a zesilovače. Jejich takt přenosu a paměti je spojen, tudíž se chovají jako jeden šestnáctibitový registr.

4.5.6. Převodník logických úrovní

Přestože posuvné registry jsou zřetězeny, druhý obvod pracuje s napětím -2,5V až 2,5V, protože ovládá symetricky napájené analogové přepínače v zesilovači.

Napájení posuvného registru rozdílným napětím se prokázalo jako úspornější řešení oproti použití převodníků logických úrovní pro každý přepínač zvlášť. V použitém řešení jsou potřeba pouze tři převodníky pro signály SHCP, STCP a DS.

Ke konverzi logických úrovní se převážně využívá integrovaných řešení. Případy, kdy obvody nesdílí společnou zem jsou ale dosti méně obvyklé. Takový úkol se většinou řeší při potřebě galvanického oddělení obvodů, pro tento účel používaná řešení jsou však příliš komplexní a cenově neospravedlnitelná.

Ke konverzi obou logických úrovní je využit obvod s jedním PNP tranzistorem ve značně nestandardním zapojení se společnou bází.

Pokud je na vstupu 0V, tranzistor je vypnutý, protože na emitoru je napětí 0V mínus úbytek na R1, proto je emitorový přechod polarizován v závěrném směru.

Pokud je na vstupu 5V, na emitoru je napětí 5V mínus úbytek napětí na R1. Tento úbytek je nízký, proto proud může téct emitorovým přechodem proud v propustném směru a tranzistor je sepnutý. Bázový odpor je volen dostatečně vysoký, aby neovlivnil dělicí poměr napěťového děliče.

Hodnota výstupu tedy je v případě nuly na vstupu dána napěťovým děličem mezi 0 a -5V tvořeným odpory R1+R2 a R3, tedy

$$U_{\text{výst0}} = 5 * R3 / (R3 + R1 + R2) - 5$$

a v případě 5V na vstupu napěťovým děličem mezi 5 a -5V tvořeným odpory R1 a R3, tedy

$$U_{\text{výst1}} = 10 * R3 / (R3 + R1) - 5$$

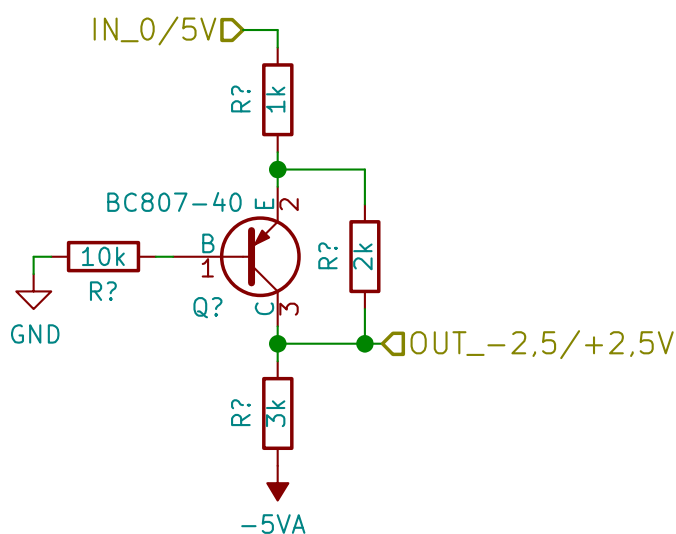
Požadované $U_{výst0}$ a $U_{výst1}$ jsou -2,5V a +2,5V. Po zvolení R1 na hodnotu 1kohm získáváme soustavu dvou rovnic o dvou neznámých R2 a R3:

$$-2,5 = 5 * R3 / (R3 + 1000 + R2) - 5$$

$$2,5 = 10 * R3 / (R3 + 1000) - 5$$

Vyřešením soustavy rovnic získáme hodnoty

$$R3 = 3000 \text{ a } R2 = 2000$$



-Schéma převodníku logických úrovní

4.5.7. Spínání relé

Z důvodu snížení zátěže stabilizátoru napětí jsou relé napájena přímo nestabilizovaným pouze usměrněným výstupem 9V transformátoru. Relé jsou tedy zvolena s nominálním napětím budící cívky 12V.

Výstup posuvného registru má hodnotu pouze 5V, proto je nutné použít spínací tranzistory zapojené v konfiguraci dolního spínače. Použité tranzistory BC817 jsou NPN protikus PNP tranzistorů BC807, které jsou použity pro převod logických úrovní.

Použitá relé mají proud cívky při napětí 12V cca 25mA, což vyžaduje při minimálním proudovém zesilovacím činiteli BC817 250 (maximálně 600) bázev proud $I_b = 100\mu A$.

Minimální bázový odpor vypočítáme jednoduše jako

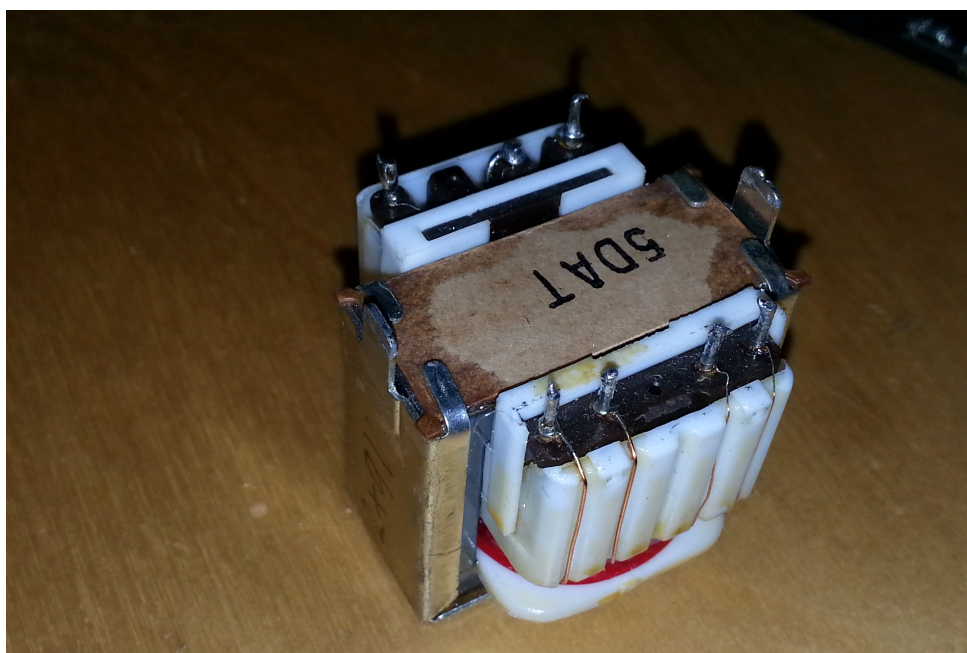
$$R_b = (5-0,7) / 0,0001 = 43000$$

V praxi lze využít jakýkoliv nižší odpor, třeba 10k, který již v obvodu využitý je.

Ovládací signály z registru jsou rovněž připojeny na konektor, ke kterému budou připojeny indikační světlo-emitující diody. Na konektoru je rovněž k dispozici zem pro LED.

4.6. Zdroj

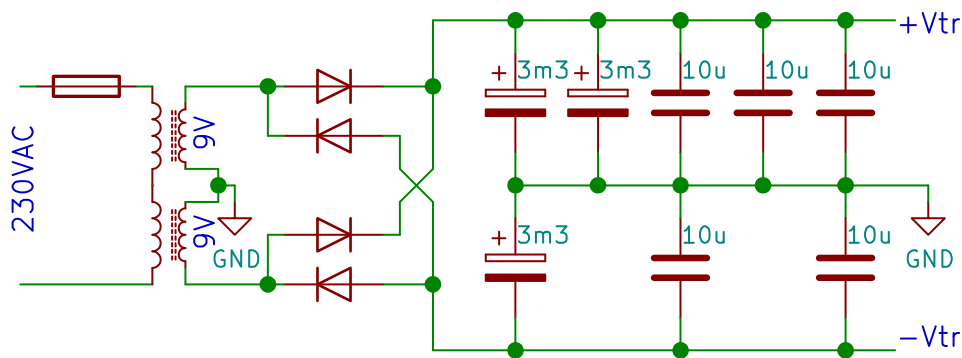
Ve zdroji nejsou použity žádné spínané regulátory kvůli minimalizaci šumu zdroje. Generátor je napájen jedním 230V transformátorem s dvěma vinutími, které poskytují symetrické napájení. Použitý transformátor, který mi byl věnován pro tento účel, je neznámého původu, prý odpájený z jakéhosi přístroje. Napětí obou sekundárních vinutí jsou 9V při zatížení 100 ohmovým odporem.



-Transformátor k plánovanému využití

Výstup transformátoru je usměrněn Graetzovým můstkem a zem je připojena na střed vinutí. Na obou výstupních pólech je po usměrnění napětí 9, respektive -9V proti zemi. Usměrněná nestabilizovaná napětí jsou nazvána $+V_{tr}$ a $-V_{tr}$.

Zdroj $+V_{tr}$ a $-V_{tr}$ je umístěn na samostatné desce.



-Schéma desky nestabilizovaného zdroje

Řídící část je napájena 5V, protože ale obsahuje dva sedmissegmentové displeje, které přepínáním multiplexovaných číslic představují značné rušivé vlivy, je řídící část napájena zvláštním zdrojem, který je oddělen od analogového. Je to rovněž jediný stabilizovaný zdroj, který musí dodat značné množství proudu. 5V zdroj pro řídící část je značen jednoduše jako +5V. Analogová část přístroje je napájena symetrickým zdrojem +5VA a -5VA. Oscilátor pro AD9833 je napájen miniaturním 3,3V stabilizátorem, který odebírá proud z již stabilizovaného +5VA a je umístěn v blízkosti DDS části. Zdroje +2,5V a -2,5V pro posuvný registr a analogové přepínače jsou zatěžovány pouze minimálními proudy, je tedy možné realizovat je pouze napěťovými děliči mezi +5VA a -5VA.

Stabilizátory pro +5V i +5VA jsou realizovány tradičními 5V lineárními stabilizátory 7805 v TO-220 pouzdře.

Maximální odebíraný proud modulu s MAX7219 při maximálním jasu a rozsvícení všech segmentů je 130mA, tato hodnota je však značně pesimistická. Ztrátový výkon lineárního stabilizátoru se mění v teplo a je dán úbytkem napětí mezi vstupem a výstupem a odebíraným proudem. Pokud tedy budeme počítat se dvěma displeji při maximálním odběru a odběr zbytku řídící části zanedbáme, získáme ztrátový výkon

$$P_t = (12,6 - 5) \cdot 2 \cdot 0,26 = 1,98W$$

Takový výkon je v rámci možností 7805, pokud je vybavena dostatečným chladičem.

Pro stabilizování záporného napětí je nutné použít stabilizátor záporného napětí. Řada lineárních záporných napěťových stabilizátorů analogická k řadě 78xx je 79xx, v případě 5V je to tedy 7905.

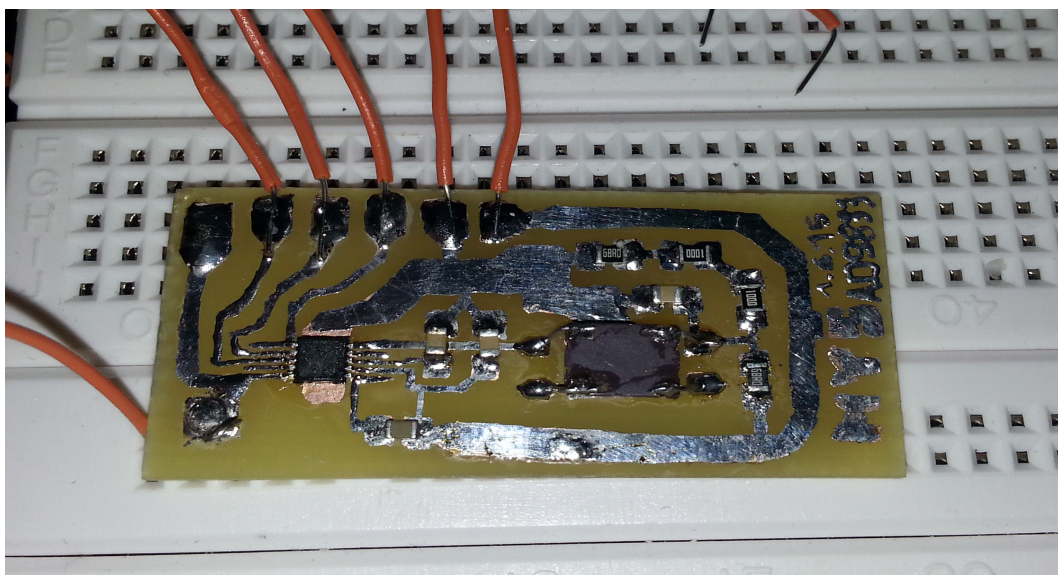
5. Realizace

V této kapitole je popsán postup vývoje prototypu a návrhu finálního výrobku.

5.1. Vývoj prototypu

Na samém počátku vývoje přístroje jsem sestavil jednoduchý prototyp sestávající z mikrokontroléru na nepájivém poli a jednoduchého plošného spoje s oscilátorem a AD9833. Celý prototyp byl napájen přes programátor z USB.

Tato deska byla navržena ručně a vyrobena metodou leptání s maskou tvořenou lihovým fixem. Oscilátor na desce byl napájen pouze napětovým děličem. Ke vstupům AD9833 byly připojeny tenké vodiče určené k zapojení do nepájivého pole. Výstupem byl hák pro uchycení sondy osciloskopu.



-První modul s AD9833 ze samého počátku vývoje

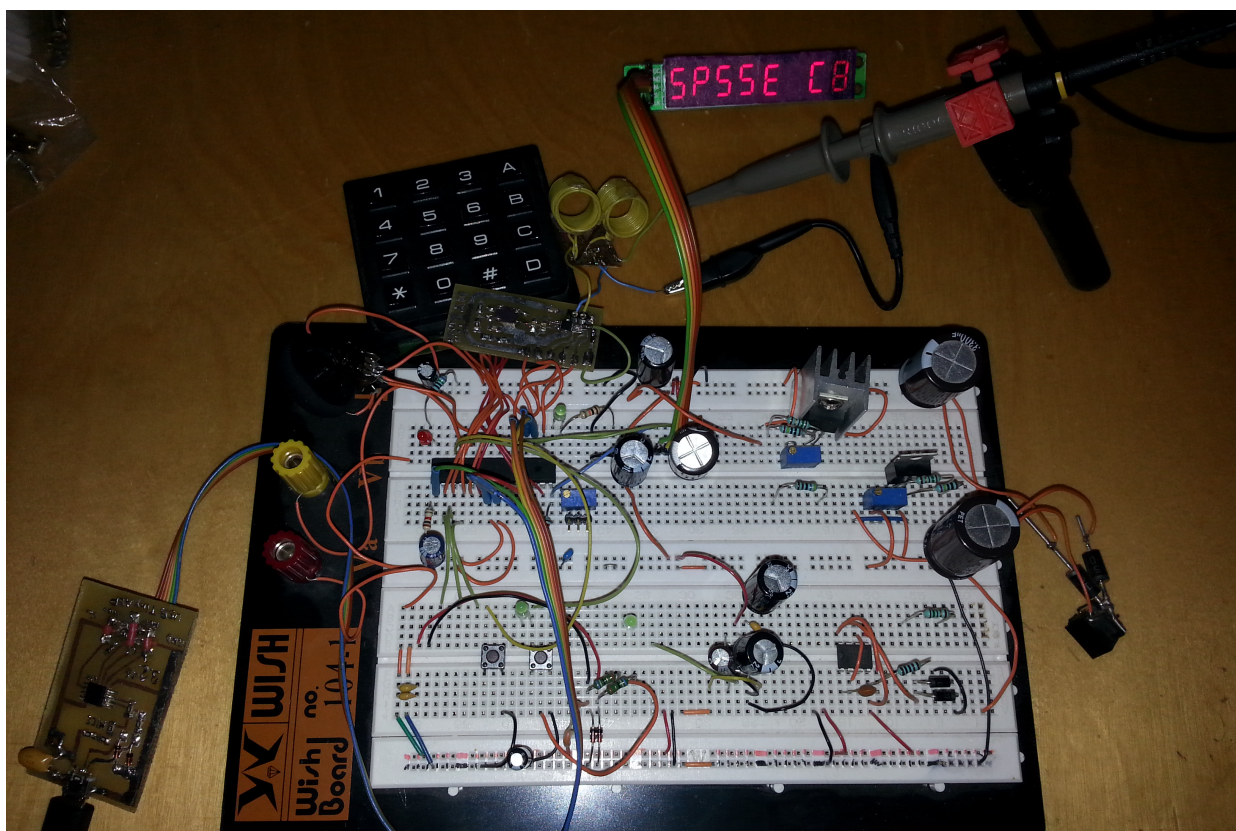
Jediným úkolem prototypu v tomto stádiu bylo úspěšně odeslat sekvenci řídicích slov pomocí SPI periférie mikrokontroléru ATmega328p tak, aby obvod začal generovat signál o frekvenci pevně nastavené v programu.

V dalším stádiu byl mikrokontrolér na protopoli obohacen o číselnou klávesnici a úsilí bylo soustředěno na čtení této klávesnice, implementaci funkce pro výpočet frekvenčního slova v reálném čase a přepínání šestnácti různých frekvencí, kdy každá náležela jednomu tlačítku na klávesnici.

Prototyp byl dále doplněn o čtyřmístný multiplexovaný sedmissegmentový displej. Tento displej obsahoval posuvný registr s pamětí pro uchování jednoho znaku, zatímco další byl nahráván, a vyvedeny měl společné anody čtyř znaků. Generovaná frekvence se zobrazovala na displeji a zároveň se dala měnit zadáním čísla na klávesnici.

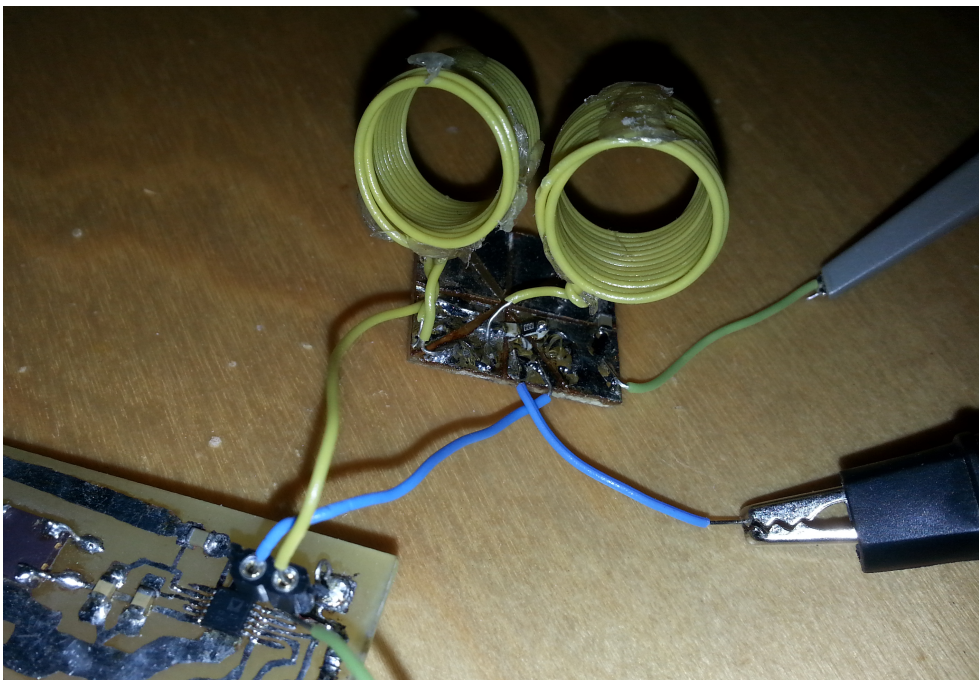
Čtyřmístný displej byl dále nahrazen modulem s AD7219 připojeným rovněž k SPI periférii mikrokontroléru. Rovněž byl k prototypu přidán rotační enkodér a tlačítka pro posuv kurzoru.

Postupně se měnil i firmware mikrokontroléru, který byl již schopný řešit přetečení při použití rotačního enkodéru a na displeji byla znázorněna pozice kurzoru problikáváním dané číslice.

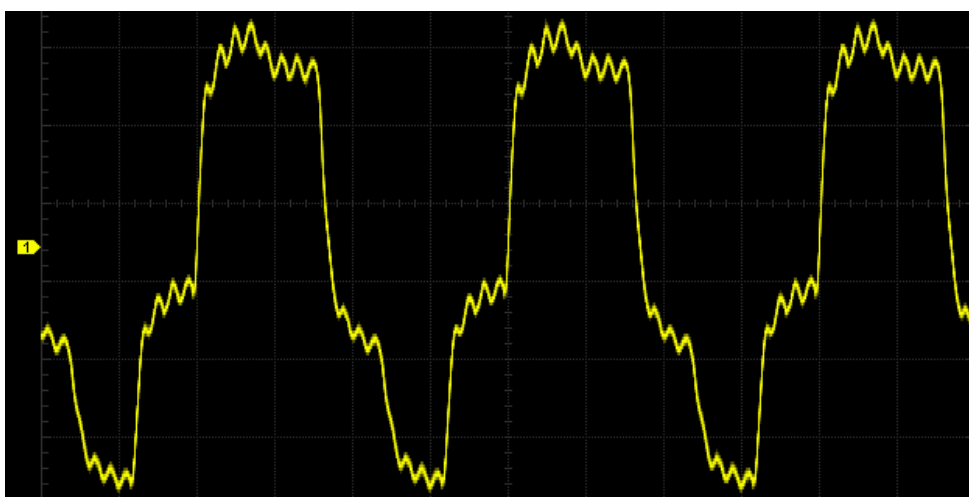


-Poslední varianta prototypu: Vyobrazeny jsou DDS modul s filtrem, klávesnice, rotační enkodér, displej a mikrokontrolér připojený přes klon programátoru USBTiny

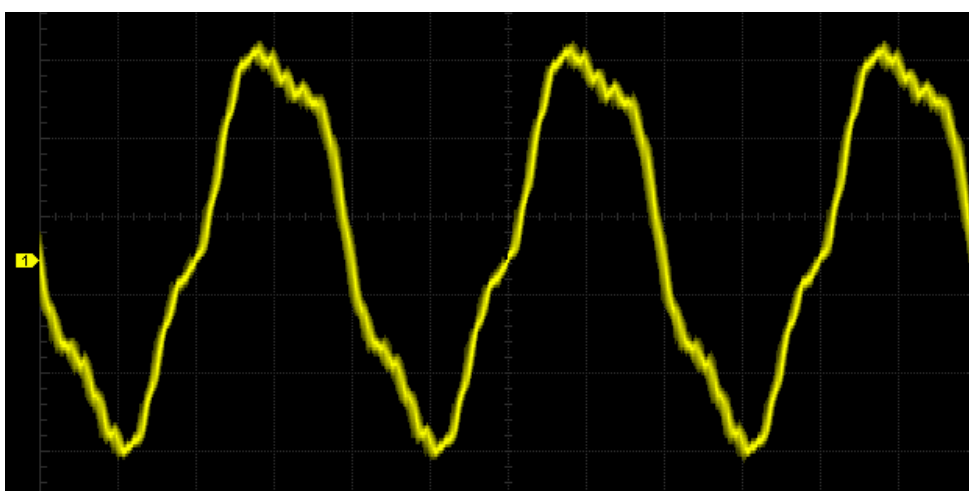
V poslední verzi byly k výstupu AD9833 přidány dva konektory pro připojení výstupního filtru. Účelem filtru bylo ověřit kvalitu potlačení vyšších frekvencí a vliv vzájemné pozice cívek. Soustava kondenzátorů tvořící horní propust nebyla zahrnuta vůbec, posléze byla nahrazena jediným 100nF keramickým kondenzátorem za účelem ověření netečnosti vůči vysokofrekvenčním složkám signálu tohoto kondenzátoru.



-Prototyp filtru se dvěma vlastnoručně navinutými vzduchovými cívkami



-5MHz „sinusový“ signál bez výstupního filtru

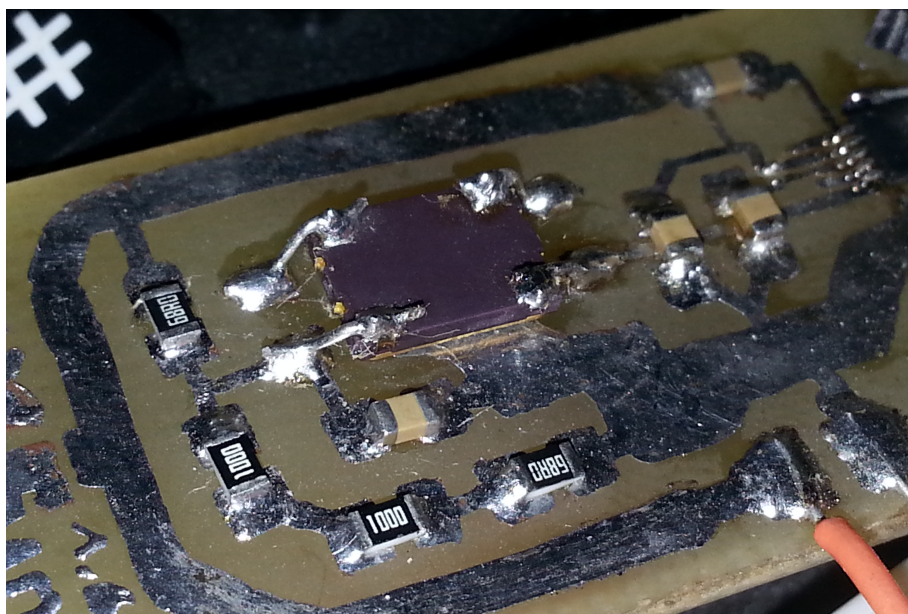


-Tentýž 5MHz signál měřený se zapojeným filtrem

5.2. Metoda konstrukce

Záměrem při návrhu desky plošného spoje (DPS) je konstrukce s použitím jednostranného plošného spoje bez nutnosti vrtání děr. Od toho se odvíjí záměr využít co nejvíce součástek povrchové montáže (SMD) a pokud jsou součástky v SMD variantě nedostupné, k povrchové montáži je adaptovat (například ohnutím vývodů). Výjimkou je samostatná deska zdroje $+V_{tr}$ a $-V_{tr}$.

Problematické součástky nedostupné nebo nevyhovující v SMD provedení jsou patice pro řídicí mikrokontrolér, jež lze adaptovat na SMD variantu ohnutím vývodů. Stejný postup je použit pro montáž relé, které by v SMD variantě byly o 50% dražší. Ohnutí pinů je zamýšlené i v případě elektrolytických kondenzátorů a napěťových stabilizátorů. Oscilátory pro DDS jsou dostupné jen v SMD, které má pájecí plochy pouze zespoda, jsou tedy obtížně pájitelné ručně. Z tohoto důvodu je rozložení vývodů na desce převráceno a oscilátor by byl připájen metodou „mrtvého brouka“ (Deadbug soldering), kdy je obvod upevněn vzhůru nohama a vývody jsou ohnuty. Stejnou metodou byl oscilátor připájen již na desku prototypu.



-Krystalový oscilátor připájený naznak jako mrtvý brouk

Prvotním záměrem při návrhu plošného spoje bylo umístit stabilizované zdroje, řídicí část, i DDS blok se zesilovačem a zeslabovačem na jednu desku o rozměrech 10x16cm s prvky uživatelského rozhraní umístěnými na zvláštních deskách připojenými konektory. Zamýšlenou metodou výroby DPS je metoda fotocestou.

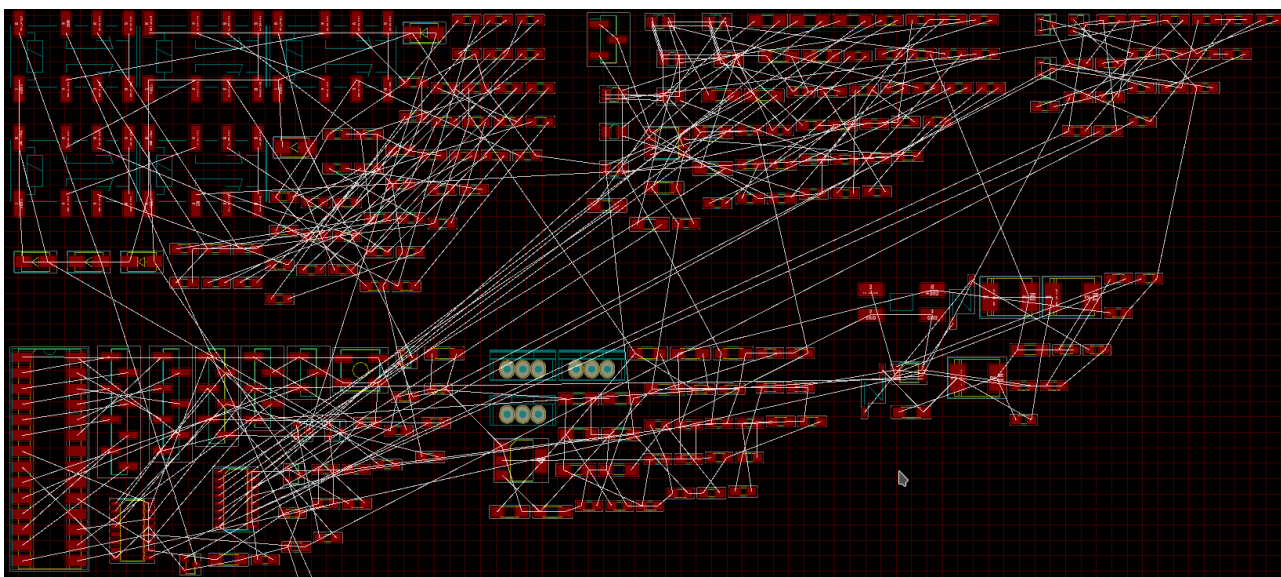
Návrh DPS v době kompletace této práce nebyl hotový, protože se mi nedařilo desku navrhnout dostatečně kompaktní. Pokud se mi tak nepodaří ani v budoucnu, alternativní možnosti jsou použití oboustranného tištěného spoje buď rovněž vyrobeného fotocestou nebo na zakázku, případně rozdělit elektroniku na více desek.

5.3. Návrh DPS

K návrhu výrobku byl použit softwarový balík KiCad, který sdružuje programy Eeschema pro tvorbu elektrického schématu, Pcbnew pro návrh DPS podle schématu z Eeschema a několik podpůrných programů.

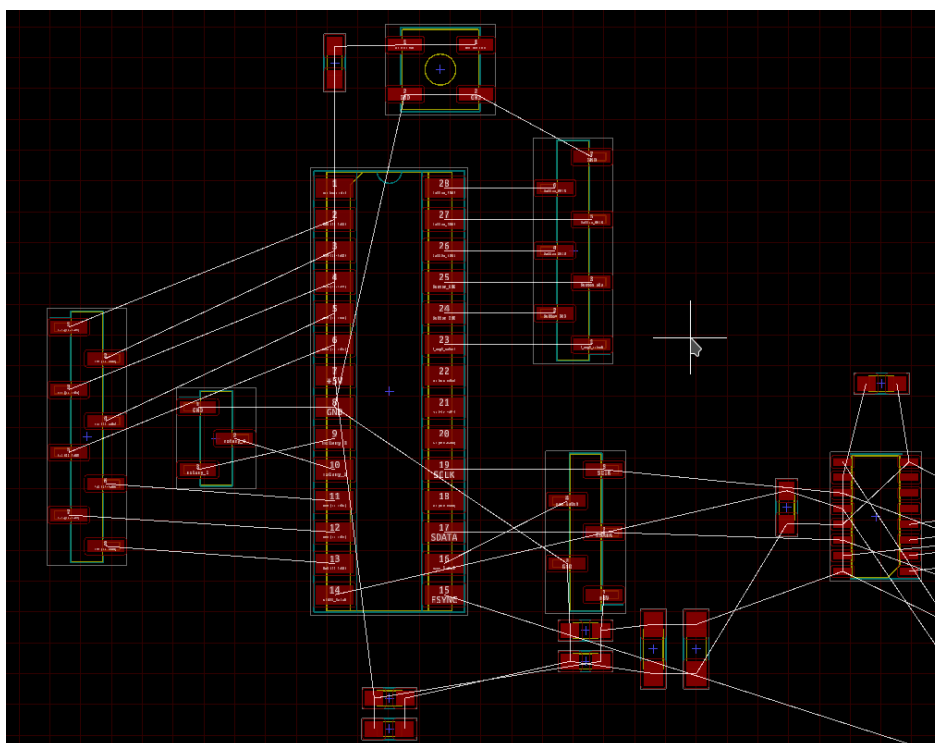
Postup návrhu je následující: Po vytvoření projektu se vytvoří elektrické schéma v Eeschema s využitím schematických značek v knihovnách. V případě potřeby je možné vytvořit vlastní knihovnu a neexistující schematické značky vytvořit od začátku nebo upravením existujících.

Aby program správně dekodoval zapojení, je nutné označit nepřipojené vývody součástek a umístit tzv. Power Flagy, které značí, že energie se někde objevuje. Po tomto kroku je třeba provést kontrolu elektrických pravidel (Electrical rules check). Pokud proběhla úspěšně, je možné schéma anotovat, tzn. přiřadit jednotlivým součástkám unikátní identifikátor. Nutné je rovněž přiřazení tvarů pájecích ploch (Footprintů) jednotlivým součástkám. Pokud potřebný footprint neexistuje, postup jeho vytvoření je analogický postupu vytvoření schematických značek. Posledním krokem v editoru schémat je vytvoření tzv. netlistu, což je soubor, který popisuje použité footprinty a jejich propojení.



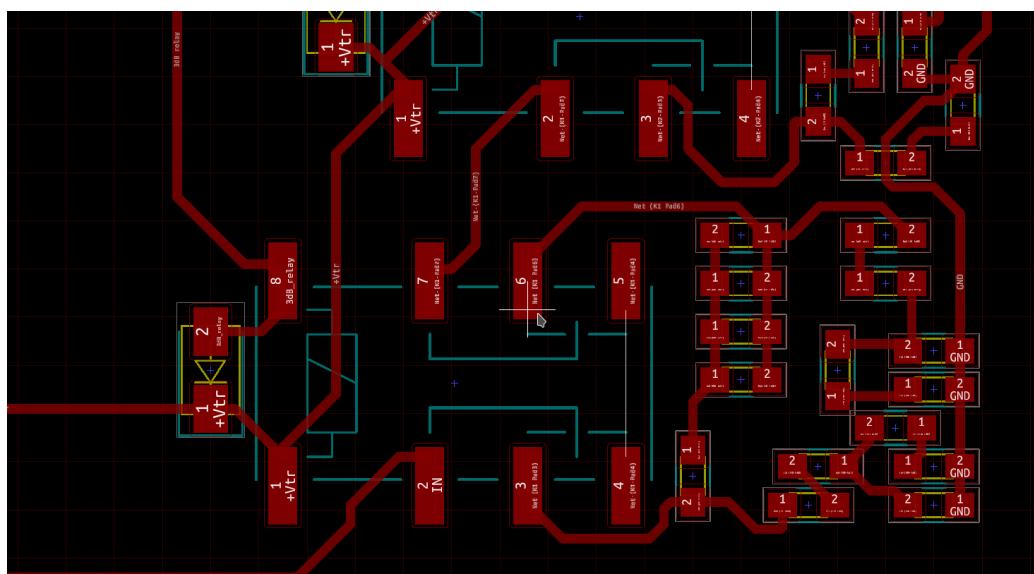
-Příklad rozložení součástek hned po importu před zahájením práce na DPS

V editoru DPS se následně netlist importuje a je vytvořen tzv. ratsnest (kryší hnízdo), kdy jsou součástky nahodile rozmístěny a program zobrazuje neuskutečněná propojení mezi nimi vzdušnou čarou. Pokud je spojení uskutečněno měděnou trasou, vzdušná čára zmizí.



-Příklad uspořádaného shluku součástek před propojením

Prvním krokem při návrhu DPS je rozmístění komponent do funkčních bloků tak, aby se spoje co nejméně křížily. Součástky se následně sesadí do co nejmenšího prostoru a vývody se propojí.



-Příklad již propojené části desky

Jednostranné desky se ve většině případů neobejdou bez propojek. Drátové propojky je možné do návrhu zařadit použitím druhé vrstvy, kdy jsou díry na prokovy zneužity pro připájení drátových propojek. Kvůli minimalizaci vrtání jsou ale použity SMD propojky, tzv. 0 ohmové rezistory, které je ale nutné pro přidání na desku nejprve zařadit do schématu. Po aktualizaci schématu se musí použít volba aktualizovat DPS ze schématu, která zobrazí výčet provedených změn netlistu a po potvrzení jsou přidáné součástky vloženy do schématu.

6. Použité softwarové nástroje

Při výběru softwarových nástrojů jsem se snažil využít nástroje dostupné pod open-source licencí (svobodné programy)

6.1. Linux

Linux je svobodný unix-like operační systém, s nímž se uživatel setkává v drtivé většině případů v podobě distribucí, kdy je doplněn o zobrazovací server, desktopové prostředí a různé uživatelské aplikace.

Většina tohoto projektu byla tvořena na počítači s distribucí Linuxu OpenSuse Leap 42.2.

6.2. LibreOffice

LibreOffice je svobodný kancelářský balík obsahující mimo jiné textový procesor LibreOffice Writer, v němž byla napsána tato práce a tabulkový procesor LibreOffice Calc, v němž byly prováděny některé výpočty spojené s vývojem.

6.3. Vývojové prostředí (toolchain) pro mikrokontroléry AVR

Téměř veškerý vývoj od napsání programu po nahrání do mikrokontroléru je prováděn s pomocí svobodného integrovaného vývojového prostředí Eclipse CDT s AVR Eclipse pluginem. Takto vybavený Eclipse využívá tradiční rovněž svobodný toolchain pro AVR mikrokontroléry, který sestává z následujících součástí:

AVR GCC: Sbíрка kompilátorů pro architekturu AVR

AVR Binutils: Sbíрка patnácti nástrojů obsahující zejména assembler a linker.

AVR-libc: Sbíрка standardních C knihoven pro AVR mikrokontroléry

AVRDUDE: Nástroj pro komunikaci s mikrokontrolérem přes programátor.

6.4. KiCad

KiCad je svobodný EDA (Electronics Design Automation) nástroj vyvíjený od r. 1992.

KiCad se distribuuje ve verzích stable, jejíž aktualizace jsou poměrně vzácné, a nightly, která se automatizovaně sestavuje z nejnovějšího zdrojového kódu každý den. KiCad se vyvíjí rapidně, proto se doporučuje využívat verzí nightly. Verze nightly v repozitářích OpenSuse je ale zanedbávána, tudíž je pro získání nejnovějších sestavení nutné postavit ho ze zdroje.

7. Použité zdroje

[Katalogový list AD9833](#)

<http://www.tme.eu/cz/Document/06f269dd69c75b93183e2ecaecfa0c99/AD9833.pdf>

[Aplikační text pro implementaci řídicího protokolu AD9833](#)

<http://www.analog.com/media/en/technical-documentation/application-notes/AN-1070.pdf>

[Kompletní katalogový list mikrokontrolérů Atmel ATmega 48, 88, 168 a 328](#)

http://www.atmel.com/images/atmel-8271-8-bit-avr-microcontroller-atmega48a-48pa-88a-88pa-168a-168pa-328-328p_datasheet_complete.pdf

[Manuál sbírky standardních knihoven avr-libc](#)

<http://www.nongnu.org/avr-libc/user-manual/>

[Getting Started in KiCad](#)

http://docs.kicad-pcb.org/en/getting_started_in_kicad.html

[Návod na výpočet útlumových článků](#)

<http://www.qsl.net/4f5aww/module5p.htm>

[Katalogový list obvodů MAX7219 a MAX7221](#)

<https://datasheets.maximintegrated.com/en/ds/MAX7219-MAX7221.pdf>

[Katalogový list AD8091 a 8092](#)

http://www.tme.eu/cz/Document/79455a88eb4cdd48c014e05d4f230aab/AD8091_8092.pdf

[Katalogový list analogového přepínače NC7SB3157](#)

<http://www.tme.eu/cz/Document/f50673c6b63f9c6845ae49d54c2265a5/NC7SB3157P6X.pdf>

[Katalogový list analogového přepínače AOZ6135](#)

<http://www.tme.eu/cz/Document/0824bd1c7a9e8d313f87b7bd45647f41/AOZ6135HI-DTE.pdf>

[Katalogový list posuvného registru se závorou 74HC595](#)

http://assets.nexperia.com/documents/data-sheet/74HC_HCT595.pdf

[Online nástroj pro návrh LC filtrů](#)

<https://www-users.cs.york.ac.uk/~fisher/lcfilter/>

[Coil Inductance Calculator](#)

<http://www.66pacific.com/calculators/coil-inductance-calculator.aspx>

[Katalogový list relé od Hongfa Relay řady HFD27](#)

http://www.tme.eu/cz/Document/c6c032a813dcfce4c3b54802f9ab1959/HFD27_en.pdf

[Katalogový list 3,3V napěťového stabilizátoru LD1117S33TR](#)

<http://datasheet.octopart.com/LD1117S33TR-STMicroelectronics-datasheet-7281477.pdf>

[Katalogový list MEMS oscilátorů řady IM801](#)

http://www.tme.eu/cz/Document/af49f0dca67518895ecb09acc4553fdf/IM801_Series_16_A.pdf

8. Závěr

Jak jsem zmínil v úvodu, cílem této práce bylo navrhnout a realizovat frekvenční generátor. O úspěšnosti tohoto cíle mám smíšené pocity, neboť jsem z důvodů nedostupnosti součástek i nemoci upadl do časové tísně. Návrh přístroje je však z větší části hotov a zkušenosti nabyté stavbou prototypu nenasvědčují, že by cíl byl jakkoliv obtížně dosažitelný. Při pohledu na nejstarší části jak řídicího programu, tak i schématu vidím jasný rozdíl mezi mými schopnostmi na počátku projektu a nyní. Věřím, že během tohoto projektu jsem získal a pravděpodobně ještě získám cenné zkušenosti pro svůj akademický růst i praktické uplatnění mého koníčku. Naučil jsem se obratněji řešit problémy, které mohou nastat s nástroji při vývoji a pro příští projekty si odnáším cennou lekci, že termíny je dobré brát se značnou rezervou, vyplatí se počítat s neplánovaným zdržením a zvláště u kritických součástek je důležité hledět nejen na parametry, ale i na jejich dostupnost a nahraditelnost.

Mezi body, které bych rád v práci zahrnul, pokud bych měl možnost, jsou změření výsledných parametrů přístroje a příklady použití. Rád bych s generátorem měřil kvalitu kondenzátorů a cívek a jejich vlastní rezonanční kmitočty, převodní charakteristiky audio zesilovačů a pokusil se generovat jednoduchý rádiový signál na krátkých nebo středních vlnách.