

Diplomová práce



České
vysoké
učení technické
v Praze

F3

Fakulta elektrotechnická
Katedra elektromagnetického pole

Čtyřkanálový vektorový analyzátor obvodů

A Four Channel Vector Network Analyser

Boris Žifčák

Vedoucí: Prof. Ing. Zbyněk Škvor, CSc.
Studijní program: Elektronika a komunikace
Srpen 2026

I. OSOBNÍ A STUDIJNÍ ÚDAJE

Příjmení: **Žiřčák** Jméno: **Boris** Osobní číslo: **474263**
Fakulta/ústav: **Fakulta elektrotechnická**
Zadávající katedra/ústav: **Katedra mikroelektroniky**
Studijní program: **Elektronika a komunikace**
Specializace: **Elektronika**

II. ÚDAJE K DIPLOMOVÉ PRÁCI

Název diplomové práce:

Čtyřkanálový vektorový analyzátor obvodů

Název diplomové práce anglicky:

A Four Channel Vector Network Analyser

Jméno a pracoviště vedoucí(ho) diplomové práce:

prof. Ing. Zbyněk Škvor, CSc. katedra elektromagnetického pole FEL

Jméno a pracoviště druhé(ho) vedoucí(ho) nebo konzultanta(ky) diplomové práce:

Datum zadání diplomové práce: **13.02.2026**

Termín odevzdání diplomové práce: _____

Platnost zadání diplomové práce: **19.09.2027**

Pavel Hazdra
Digitálně podepsal(a)
Pavel Hazdra
Datum: 14.02.2026
13:13:05
ID: 30722

podpis vedoucí(ho) ústavu/katedry

Jiří Jakovenko
Digitálně podepsal(a) Jiří
Jakovenko
Datum: 16.02.2026
10:51:07
ID: 33558

podpis proděkana(ky) z pověření děkana(ky)

III. PŘEVZETÍ ZADÁNÍ

Diplomant bere na vědomí, že je povinen vypracovat diplomovou práci samostatně, bez cizí pomoci, s výjimkou poskytnutých konzultací. Seznam použité literatury, jiných pramenů a jmen konzultantů je třeba uvést v diplomové práci.

Datum převzetí zadání
16.02.2026

Bc. Žiřčák Boris

Podpis studenta

I. OSOBNÍ A STUDIJNÍ ÚDAJE

Příjmení: **Žiřčák** Jméno: **Boris** Osobní číslo: **474263**
Fakulta/ústav: **Fakulta elektrotechnická**
Zadávající katedra/ústav: **Katedra mikroelektroniky**
Studijní program: **Elektronika a komunikace**
Specializace: **Elektronika**

II. ÚDAJE K DIPLOMOVÉ PRÁCI

Název diplomové práce:

Čtyřkanálový vektorový analyzátor obvodů

Název diplomové práce anglicky:

A Four Channel Vector Network Analyser

Pokyny pro vypracování:

- 1) Navrhněte, zkonstruuje a oživte nf. a digitální část čtyřkanálového vektorového analyzátoru obvodů založeného na číslicově řízeném syntezátoru frekvencí a IQ demodulátoru. Analyzátor má měřit dopředný přenos S_{21} .
- 2) Pro vlastní kalibraci musí rovněž stanovit vstupní odraz S_{11} . Na základě rozboru nároků na komponenty pro osmikanálový měřicí systém s uvažováním měření na 100 frekvencích s opakováním 20x za sekundu vyberte vhodné a dostupné komponenty, které požadavky splňují.
- 3) Tyto komponenty propojte do systému a vytvořte ovládací program, který bude řídit modulaci, demodulaci, čtení údajů z A/D převodníků, kalibraci systému a zobrazení měřených údajů. Kalibrovaná data musí být možno číst externím systémem prostřednictvím vhodného rozhraní.
- 4) Výsledek shrňte na cca. 40 stranách textu. Přílohou textu bude úplný výpis zdrojových kódů programu.

Seznam doporučené literatury:

[1] Nuno Borges Carvalho and Dominique Schreurs: Microwave and Wireless Measurement Techniques, Cambridge University Press, Cambridge 2013, ISBN 9781107004610

PROHLÁŠENÍ

Já, níže podepsaný

Příjmení, jméno studenta: Žiřčák Boris
Osobní číslo: 474263
Název programu: Elektronika a komunikace

prohlašuji, že jsem diplomovou práci s názvem

Čtyřkanálový vektorový analyzátor obvodů

vypracoval samostatně a uvedl veškeré použité informační zdroje v souladu s Metodickým pokynem o dodržování etických principů při přípravě vysokoškolských závěrečných prací a Rámcovými pravidly používání umělé inteligence na ČVUT pro studijní a pedagogické účely v Bc a NM studiu.

Prohlašuji, že jsem v průběhu příprav a psaní závěrečné práce nepoužil žádný z nástrojů umělé inteligence. Jsem si vědom důsledků, kdy bude zjevné nepřiznané použití těchto nástrojů při tvorbě jakékoli části mé závěrečné práce.

V Praze dne 15.08.2026

Bc. Boris Žiřčák

.....
podpis studenta

Poděkování

Děkuji prof. Škvorovi za poskytnutou příležitost, za nadměrnou dávku trpělivosti a ochoty při konzultacích a za pomoc s prací celkově. Děkuji své manželce za opravdu nadlidské množství úsilí, které na mou podporu vynaložila.

Anotace

Tato práce rozebírá koncept vektorového analyzátoru obvodů, rozebírá požadavky pro jeho konkrétní aplikaci - měření vzdálenosti od kovového povrchu odrazem elektromagnetické vlny - a popisuje vývoj nízkofrekvenční části tohoto přístroje na úrovni funkčního vzorku na bázi aplikačního mikroprocesoru STM32MP257F. Pozornost je věnována vývoji aplikačního software běžícího na procesoru pod OS Linux i nízkourovňového firmware běžícího přímo na jádře M33 mikroprocesoru pro obsluhu aparatury v tvrdě reálném čase.

Klíčová slova: Vektorový analyzátor obvodů, mikrovlnná měření, aplikační mikroprocesor, vestavný Linux, vyčítací systém, bezkontaktní měření

Vedoucí práce: prof. Ing. Zbyněk Škvor, CSc.

Abstract

This thesis discusses the concept of a vector network analyzer, as well as its requirements in a concrete application - measurement of distance from a conductive surface - and documents the development of such instrument at test sample level based on the application microprocessor STM32MP257F. Among key focus points are the development of the application software run under Linux OS and low-level firmware run on the Cortex-M33 core of the microprocessor for hard real-time control of the instrumentation.

Keywords: Vector network analyzer, Microwave measurements, application microprocessor, embedded Linux, readout system, contactless sensing

Title translation: A Four Channel Vector Network Analyser

Obsah

0 Úvod.....	11	3.3.6. Adaptérový přípravek MPU desky	32
1 VNA.....	12	3.4 Přiřazení funkcí vývodů mikroprocesoru	33
2 Aplikace: Měření tloušťky plechu odrazem elektromagnetické vlny.....	13	3.5 Simulátor použitého syntezátoru.....	35
2.1 Metody měření vzdálenosti vodivých povrchů.....	13	4 Programové vybavení.....	38
2.1.1. Techniky využívané v radarových a reflektometrických systémech.....	14	4.1 Rozvržení rolí funkčních částí.....	38
2.1.2. Interferometrická metoda.....	14	4.2 Ekosystém STM32MP257F.....	39
2.1.3. Vektorové měření.....	14	4.2.1. Základní model práce s procesory série STM32MP2.....	41
2.2 Existující a plánovaná experimentální měřicí aparatura.....	15	4.3 Firmware - Cortex-M33.....	41
2.2.1. Syntezátor vysokofrekvenčních kmitočtů.....	17	4.3.1. M33 FW - obsluha PLL a ADC...42	
2.3 Vymezení rozsahu práce na nízkofrekvenční a digitální části.....	18	4.3.2. Meziprocesorová komunikace....44	
3 Použitý Hardware nízkofrekvenční a digitální části analyzátoru.....	20	4.4 Aplikační SW pod Linuxem.....	45
3.1 Analogově digitální převodník AD7606C-18.....	20	4.4.1. Obslužný software (aplikační logika, meziprocesorová komunikace s M33).....	45
3.1.1. Komunikační rozhraní AD7606C-18.....	21	4.4.2. Grafická prezentace dat, knihovna LVGL.....	46
3.1.2. Vývojová deska EVAL-AD7606C18FMCZ.....	22	5 Dosažené výsledky.....	48
3.2 Mikroprocesor STM32MP257F.....	23	6 Závěr.....	49
3.2.1. Základní přehled výbavy STM32MP257F.....	23		
3.2.2. Vývojová deska STM32MP257F-DK.....	25		
3.3 Konstrukce.....	25		
3.3.1. Rámeček desek.....	25		
3.3.2. Odpojení konfliktních zabudovaných I2C periférií od sběrnice I2C2.....	26		
3.3.3. Přepojení odpojených komponent ke sběrnici I2C8.....	28		
3.3.4. Úpravy desky ADC pro zlepšení signálové integrity.....	30		
3.3.5. Navrhovaná přestavba vstupů koaxiálních konektorů analogových vstupů ADC.....	31		

Obrázky

Obr. 1: Ideové schéma vektorového analyzátoru pro měření a.....	12	pružinku a odkrytá měď na vodiči hodinového signálu.....	31
Obr. 2.1: Určení tloušťky plechu odrazem elektromagnetické vlny.....	13	Obr. 3.3.5: Navrhované napojení koaxiálních vstupů.....	32
Obr. 2.1.2: Měřicí aparatura pro měření tloušťky interferenční metodou (původně z [2]).....	14	Obr. 3.3.6: Vyhotovená dceřiná deska s konektory.....	33
Obr. 2.2: Uspořádání čtyř přijímacích antén pro měření tloušťky plechu.....	15	Obr. 3.5: Sestava desky NUCLEO-F746ZG jako simulátor vf. části aparatury včetně improvizovaného zesilovače.....	35
Obr. 2.2: Znázornění kosinové chyby (nahore) a určení chybového úhlu (dole).....	16	Obr. 3.5: Schéma zesilovače k simulátoru měřicí aparatury.....	36
Obr. 2.2: Vysokofrekvenční část sestavy vektorového analyzátoru (vč. měřené anténové sestavy).....	16	Obr. 3.5: Fyzické a logické rozmístění signálů na simulátoru měřicí aparatury (převzato z [7] a upraveno).....	37
Obr. 2.2: Nízkofrekvenční signálová cesta pro zpracování výstupu IQ demodulátorů.....	17	Obr. 4.1: Ideové schéma rozdělení funkcionalit projektu.....	38
Obr. 3.1: Blokové schéma AD7606C-18 (převzato z katalogového listu , mírně upraveno)	20	Obr. 4.2: Posloupnost zavádění operačního systému v ekosystému STM32MP2 "příchuti" A35-TD (převzato z [6]).....	40
Obr. 3.1.2: Vývojová deska EVAL-AD7606CFMCZ.....	22	Obr. 4.4.2: Grafický výstup při měření fázovacího článku skutečnou aparaturou.....	47
Obr. 3.2.1: Funkční bloky mikroprocesoru STM32MP257F - převzato z [8].....	24		
Obr. 3.3.1: Šasi pro uchycení obou hlavních komponent výrobku.....	26		
Obr. 3.3.2: Využitá metoda pro precizní řez do PCB.....	27		
Obr. 3.3.2: Provedený řez znázorněný na výrobním výkresu desky.....	27		
Obr. 3.3.2: Náskres detailu řezu do desky - zobrazena přerušené vnější zemní okružní a dva vodiče sběrnice I2C.....	27		
Obr. 3.3.2: Makrofotografie řezu do desky s detailem, šipkou označeny vodiče I2C.....	28		
Obr. 3.3.3: Napojení vodičů ke sběrnici přes piny konektoru.....	29		
Obr. 3.3.3: Napojení vodičů sběrnice I2C8.....	29		
Obr. 3.3.4: Zákmity na hodinovém signálu (žlutá) při špatné signálové integritě způsobující falešné aktivní hrany a chybové pulsy ve výstupních datech (modrá).....	30		
Obr. 3.3.4: Rozšíření konektoru o dvě zemní zdířky. Rovněž viditelné: pin pro zemní			

Použité zkratky

ADC - Analog-Digital-Converter - Analogově-digitální převodník

GPIO - General-Purpose Input/Output

MPU - Microprocessor Unit - mikroprocesor

OS - Operační systém

PC - Personal Computer - osobní počítač

SDK - Software development kit - balík vývojových softwarových nástrojů

SoC - System on Chip - Systém na čipu

SPI - Serial Peripheral Interface - sériové rozhraní

UART - Universal Asynchronous Receiver-Transmitter - univerzální sériový přijímač a vysílač

VNA - Vector Network Analyzer

DSP - Digital Signal Processing

DUT - Device Under Test

LO - Lokální oscilátor

FMCW - Frequency-Modulated Continuous Wave

PLL - Phase-Locked Loop

BPSK - Binary Phase-Shift Key

HP - Horní propust či High Pass

LP - Low-Pass

LNA - Low Noise Amplifier

SAR - Successive Approximation Register

FPGA - Field-Programmable Gate Array

DMA - Direct Memory Access

USB - Universal Serial Bus

DRD - Dual-Role Device

PCB - Printed Circuit Board

HDMI - High-Definition Multimedia Interface

DSI - Display Serial Interface

I2C - Inter-Integrated Circuit

CSI - Camera Serial Interface

LVDS - Low-Voltage Differential Signalling

PVC - Polyvinylchlorid

THT - Through-Hole Technology

DAC - Digital to Analog Converter

DRAM - Dynamic Random Access Memory

FSBL - First Stage Bootloader

SSBL - Second Stage Bootloader

TZ - TrustZone

RIF - Resource Isolation Framework

SSH - Secure Shell

AMP - Asymmetric MultiProcessor

EXTI - External Interrupt

SDK - Software Development Toolkit

MMC - Memory Management Unit

GUI - Graphical User Interface

Kapitola 0

Úvod

Vektorový analyzátor obvodů - angl. vector network analyzer (VNA) - je měřicí přístroj, který poskytuje informace o amplitudě a fázi elektromagnetické vlny jako relativní hodnotu ve vztahu k nějaké vlně referenční. Zpravidla je referenční vlnou signál generátorem (který bývá součástí analyzátoru) do měřeného obvodu vyslaný a ve vztahu k ní je měřen signál buď odražený od vstupu daného obvodu, či signál jím prošlý.

Jedním z nesčetných využití VNA je měření impedančního přizpůsobení antén či vzájemné vazby anténního celku. Tato práce rozebírá vektorový analyzátor v konkrétní aplikaci, kde je využit k obsluze anténního senzoru při měření vzdálenosti od vodivého povrchu odrazem elektromagnetické vlny, konkrétně za účelem určení jeho tloušťky.

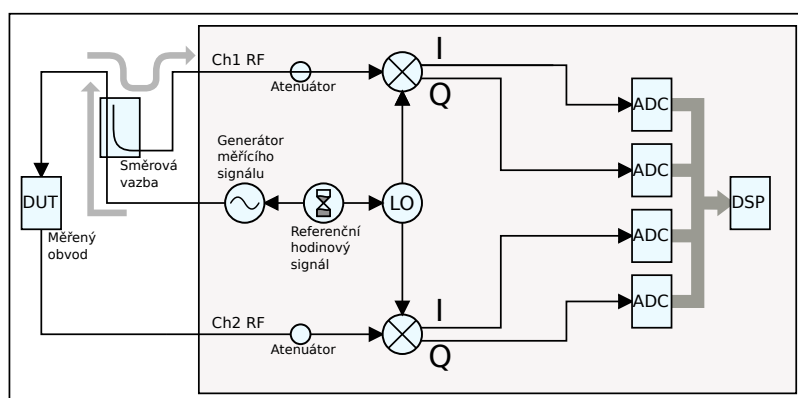
Samotným cílem této práce je navrhnout a realizovat nízkofrekvenční a digitální část, která má po propojení s existující vysokofrekvenční částí jako celek tvořit specializovaný analyzátor obvodů vhodný pro začlenění do existující experimentální měřicí aparatury v aktuálním stavu ve vývoji, i s ohledem na budoucí plánované prvky.

Kapitola 1

VNA

Jak bylo řečeno v úvodu, vektorový analyzátor měří komplexní poměr dvou vln, respektive harmonických průběhů. Zpravidla je tohoto využíváno k měření S-parametrů, tedy přenosu (S_{21}) dvojbranu či odrazu (S_{11}) na jeho vstupu, případně jejich reciprokých hodnot (S_{12} a S_{22}).

Základní princip fungování vektorového analyzátoru na bázi digitálního zpracování signálu (DSP, Digital Signal Processing) je ve zjednodušené formě na obr. 1.1. K analyzátoru je připojen měřený obvod (DUT, Device Under Test), který je buzen kmitočtovým generátorem. Z měřeného obvodu je ke vstupům připojen výstup pro měření přenosu S_{21} a vstup směrovou vazbou pro měření odrazu S_{11} . Vstupní signál je dále přiveden do kvadrurního směšovače, jehož výstupem jsou dvě kvadrurní složky - I a Q - odpovídající reálné (In-phase) a imaginární (Quadrature) složce fáze popisujícího vstupní signál ve vztahu k budícímu signálu směšovače - lokálního oscilátoru (LO).



Obrázek 1.1: Ideové schéma vektorového analyzátoru pro měření S_{21} a S_{11}

Vektorový analyzátor je možné realizovat naivně - amplitudovou demulací (usměrněním a filtrováním dolní propustí) získat informace o amplitudách obou kanálů a např. synchronním usměrněním získat informaci o jejich vzájemné fázi. Tento přístup je však relevantní pouze historicky. Z mnoha důvodů dnes v praxi převládá architektura, kdy jsou signály koherentně převedeny na jejich kvadrurní složky v nízkofrekvenčním pásmu, které jsou digitalizovány a další operace spadají pod DSP.

Mezi důvody ve prospěch architektur na bázi DSP ve srovnání s výše zmíněným naivním řešením patří výrazně nižší složitost návrhu i konstrukce, lepší možnosti automatizace měření, vyšší flexibilita zpracování dat, nebo méně striktní nároky na dynamický rozsah signálů či jejich kmitočtový rozsah.

Kapitola 2

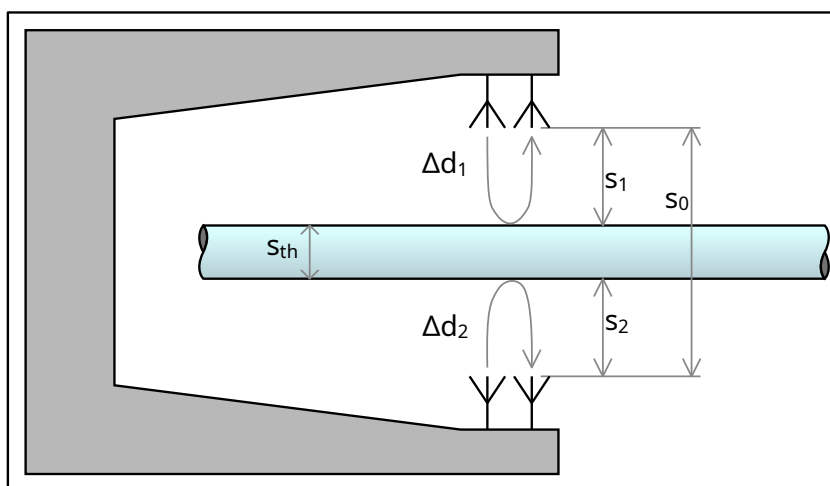
Aplikace: Měření tloušťky plechu odrazem elektromagnetické vlny

Jak bylo uvozeno v úvodu, vyvíjený vektorový analyzátor má sloužit pro charakterizaci soustavy antén za účelem určení tloušťky plechu. Jedná se o probíhající výzkum, v rámci něhož je dlouhodobě vyvíjeno měřicí zařízení zamýšlené pro použití ve válcovnách při výrobě plechu.

Problematika průběžného měření síly vyráběného plechu v náročném prostředí válcoven byla blíže popsána v této práci předcházející bakalářské práci [2]. V ní bylo současně rozebráno, proč se metody využívající odraz elektromagnetické vlny jeví v této aplikaci jako potenciálně výhodné. Dlouhodobým cílem je dosáhnout přesnosti měření tloušťky v řádu $1\text{ }\mu\text{m}$.

2.1. Metody měření vzdálenosti vodivých povrchů

Určit tloušťku kovového pásu odrazem elektromagnetické vlny lze několika metodami, všechny dále zmiňované ale mají princip společný v tom, že jsou metodami určení vzdálenosti od dobře vodivého povrchu a tloušťka je určena až druhotně měřením vzdálenosti z obou stran (obráz. 2.1). Z tohoto důvodu lze v určitém kontextu tuto úlohu redukovat na pouhé určení vzdálenosti povrchu od anténního celku, případně ještě dál na měření délky kanálu, jímž je vlna šířena.



Obrázek 2.1: Určení tloušťky plechu odrazem elektromagnetické vlny

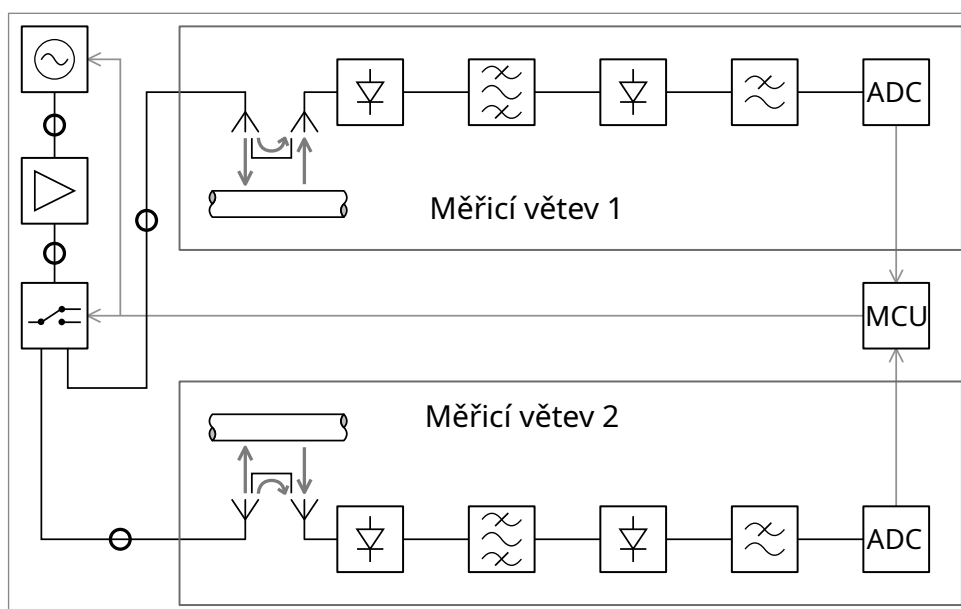
2.1.1. Techniky využívané v radarových a reflektometrických systémech

Samotná úloha měření vzdálenosti odrazem elektromagnetické vlny je tradičně známa v kontextu radarových systémů či časové reflektometrie. V obou případech se jedná o vyslání vlnového pulsu a analýzu přijatého odraženého protějšku. V nejzjednodušenější formě se dá shrnout, že pulsní radarové systémy a reflektometry vysílají pulsy krátkého trvání vůči celkové době letu signálu. Frekvenčně modulované trvale vysílající (FMCW - Frequency-Modulated Continuous Wave) radary pak vysílají modulované pulsy, jejichž opakovací frekvence je sice vyšší než doba letu, ale frekvence se vůči ní mění relativně rychle.

Jelikož se jedná o techniky, které nejsou předmětem této práce ani souvisejícího výzkumu, nejsou dále podrobně rozvedeny. Uvedeny jsou zde zejména pro úplnost a možnost srovnání.

2.1.2. Interferometrická metoda

Interferometrická metoda v kontextu měření vzdálenosti či tloušťky odrazem elektromagnetické vlny spočívá ve skalárním měření součtové či rozdílové vlny vznikající kombinací vln šířících se jinak dlouhými cestami. Může jít buď o oddělený vlnovod referenční délky, nebo přijímací/vysílací anténu s úmyslným přeslechem mezi přijímací a vysílací stranou. Metoda teoreticky nabízí možnost až sub-mikrometrového rozlišení[3].



Obrázek 2.2: Měřicí aparatura pro měření tloušťky interferenční metodou (původně z [2])

2.1.3. Vektorové měření

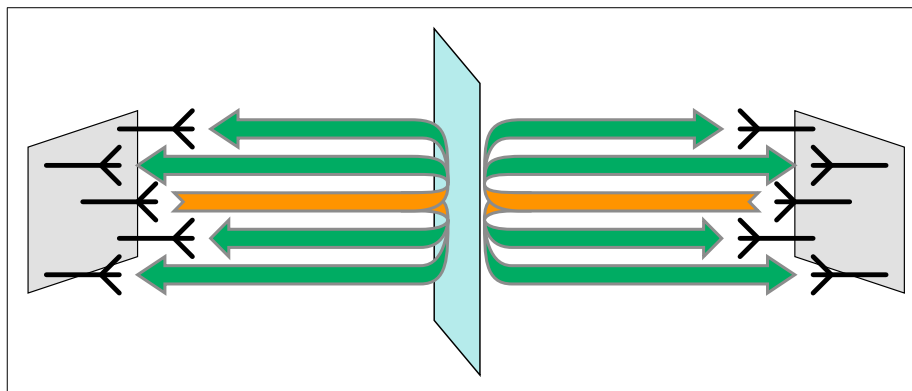
Metoda, které se tato práce týká, v nejzkrácenější verzi spoléhá na vektorové měření vztahu přijaté od povrchu odražené vlny vůči vlně vyslané, tedy přenos, jak

byl popsán v kap. 1. Podobně jako u metody interferometrické je přenos měřen v závislosti na frekvenci v určité šířce pásma. Na rozdíl od principu FMCW radaru se nejedná o vyslání rychle se měnícího (tzn. krátkého trvání jedné frekvence vůči době letu) kmitočtově rozmítaného pulsu, ale přenos je měřen pomocí VNA na jednotlivých frekvenčních bodech za harmonického ustáleného stavu.

Opět, obdobně jako u interferometrické metody, je i zde hledaná vzdálenost určena zejména z periodicity získaného přenosu. Na rozdíl od čistě skalárního přenosu u interferometrické metody v případě vektorového měření poskytuje informaci o hledané vzdálenosti především fáze přenosu. Vektorové měření oproti skalárnímu slibuje vyšší přesnost a širší možnosti kalibrace a korekce chybových vlivů vedení mimo měřicí úsek.

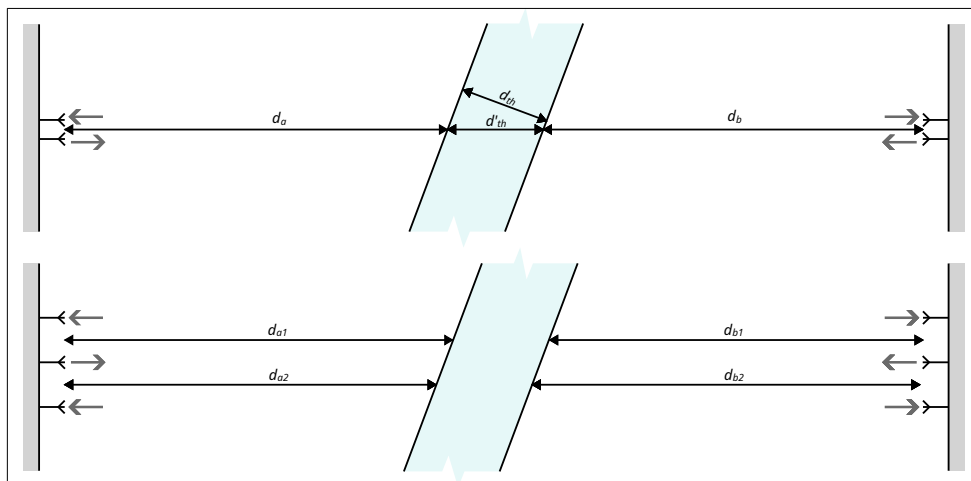
2.2. Existující a plánovaná experimentální měřicí aparatura

Relevantním předmětem probíhajícího výzkumu je výše popsané určení vzdálenosti z vektorového měření přenosu odražené elektromagnetické vlny. V souvislosti s tím vzniká experimentální měřicí aparatura, která je popsána v této kapitole, a jejíž součástí má být i dílčí celek vyvinutý v rámci této práce.



Obrázek 2.3: Uspořádání čtyř přijímacích antén pro měření tloušťky plechu

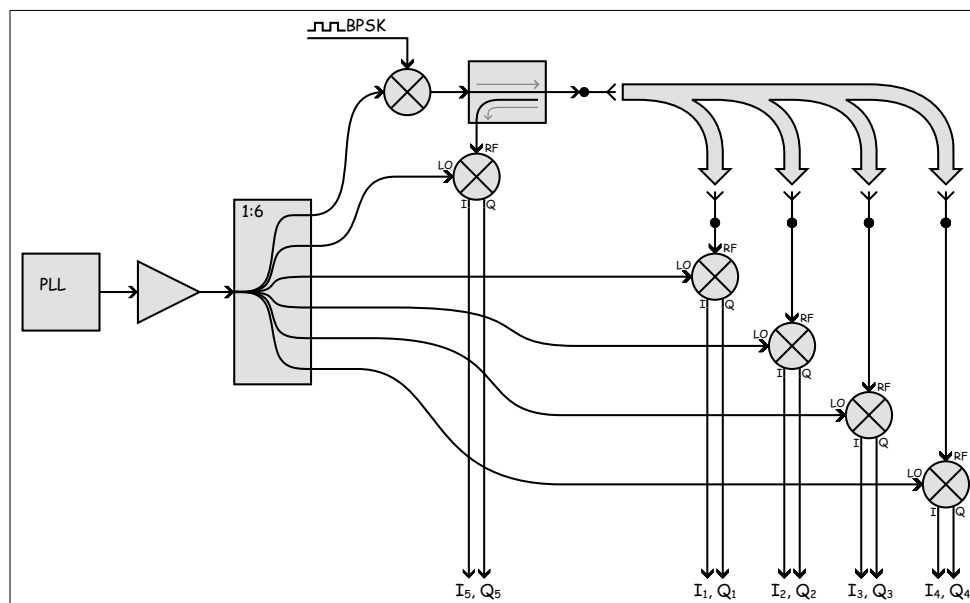
Plánovaný anténový senzor sestává z jedné vysílací a čtyř okolo ní rozmístěných přijímacích antén (obr. 2.3) a má být umístěn z obou stran měřeného plechu. Použití vícero přijímacích antén, tedy měření několika vzdáleností od vícero bodů poskytuje informaci o úhlu povrchu vůči měřícím anténám a umožňuje kompenzaci vlivu tzv. kosinové chyby vznikající při měření tloušťky plechu, pokud není mezi měřícími body přesně kolmo (obr. 2.4).



Obrázek 2.4: Znázornění kosinové chyby (nahore) a určení chybového úhlu (dole)

Společně s anténovými senzory tvoří vyvíjený vektorový analyzátor měřicí sestavu, která je ideově znázorněna na obr. 2.5. Na obrázku je pouze nízkofrekvenční část. Analyzátor má měřit čtyři dopředné přenosy S_{21} mezi anténou vysílací a čtyřmi přijímacími.

Vysokofrekvenční signál je generován pro tento účel navrženým zakázkovým syntezátorem kmitočtů 8-13 GHz založeném na fázovém závěsu - PLL (z angl. Phase-Locked Loop). Syntezátor je digitálně řízený a je popsán dále v sekci 2.2.1. Výstup PLL je rozveden děličem do šesti větví - jedna pro buzení vysílací antény a zbylých pět pro buzení LO vstupů směřovačů čtyř přijímacích antén a jedné servisní cesty sloužící pro měření odrazu od vysílací antény S_{11} za účelem vlastní kalibrace přístroje. Jelikož jsou všechny směšovače jako lokálním oscilátorem buzeny stejným zdrojem signálu, jako je přijímaný, jde o směšování do nulové mezifrekvence (base-band).

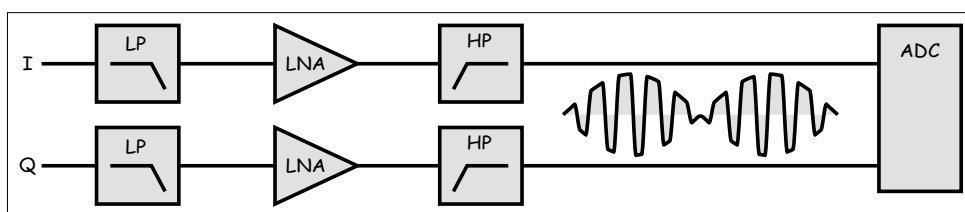


Obrázek 2.5: Vysokofrekvenční část sestavy vektorového analyzátoru (vč. měřené anténové sestavy)

Protože směšovače nejsou ideálními součástkami, na jejich výstupy I a Q kromě žádoucího demodulovaného base-band signálu pronikají i vysokofrekvenční signály ze vstupů a neznámá stejnosměrná složka. Vysokofrekvenční složka o frekvenci okolo 10 GHz je od žádoucího nízkofrekvenčního signálu dostatečně vzdálená, takže ji lze odfiltrvat pouhým zařazením vhodného filtru typu dolní propust (LP - Low Pass) do výstupu směšovačů.

Analyzátor má ze své podstaty měřit přenos v harmonickém ustáleném stavu, žádoucím signálem na výstupech je v tom případě konstantní napětí. To se mísí s chybovou stejnosměrnou složkou výstupu směšovače, což činí její odstranění značně problematické. Z tohoto důvodu není měření prováděno čistě konstantním signálem, ale do výstupního signálu je zanesena definovaná střídavá složka BPSK modulací (Binary Phase-Shift Key).

BPSK modulace mění fázi signálu o 180 či 0°, jinými slovy obrací jeho polaritu při zachování amplitudy. Z výstupu směšovačů pak může být stejnosměrná složka odstraněna filtrem typu horní propust (HP) s mezním kmitočtem vhodně zvoleným tak, aby žádoucí střídavá složka zůstala zachována. Kaskáda pro zpracování nízkofrekvenčního signálu je popsána na obr. 2.6. LNA značí nízkošumový zesilovač (Low-Noise Amplifier).



Obrázek 2.6: Nízkofrekvenční signálová cesta pro zpracování výstupu IQ demodulátorů

2.2.1. Syntezátor vysokofrekvenčních kmitočtů

Generátor je řízen kombinací dvou digitálních rozhraní. K nastavení parametrů rozmítání - počáteční frekvence, velikosti kroku a jejich počtu - slouží sériové asynchronní rozhraní UART (Universal Asynchronous Receiver/Transmitter), zatímco zbytek obsluhy přístroje probíhá přes pět jednoúčelových signálů. Dále budou tato rozhraní nazývána jako konfigurační a provozní. Obě rozhraní pracují na logické úrovni 3,3 V[4].

Konfiguračním rozhraním generátoru je, jak je výše řečeno, sériová linka typu UART s log. úrovními 0/3,3 V. Parametry spojení jsou "9600,8N1", tedy rychlost 9600 Bd, 8 bitů/slovo, žádná parita a 1 stop-bit. Nastavení parametrů rozmítání je trvalé (nezaniká resetem či při ztrátě napájení). Nastavení umožňuje jediný příkaz ve tvaru `&FxxxxxxxxxxSyyyyyyyyyyPzzz\r`.

Znaky `x` značí hodnotu počáteční frekvence v Hz, která může být v rozsahu 8000000000-12999985000 (včetně). Znaky `y` značí velikost ladícího kroku v Hz v rozsahu 5000-5000000000 (včetně). Znaky `z` značí počet bodů rozmítání v rozsahu 2-500 (včetně). Sekvence `\r` značí netisknutelný ASCII znak s šestnáctkovou

hodnotu 0x0D "návrat vozíku" (carriage return), odpovídající např. stisku klávesy ENTER v sériovém terminálu.

Všechny tři číselné hodnoty jsou dekadické a mají pevný počet číslic (musí obsahovat počáteční nuly).

Na příkaz generátor odpovídá řetězcem `&OK\r` či `&errww\r`, kde znaky `ww` značí součet čísel chyb, které nastaly. Čísla chyb mají následující význam:

- 1 - startovací kmitočet mimo rozsah
- 2 - ladící krok mimo rozsah
- 4 - kmitočet mimo rozsah
- 8 - chybná kombinace startovací kmitočet / krok / počet kmitočtů

Provozní rozhraní sestává z pěti signálů. Vstupy jsou citlivé na spádovou hranu a mají pull-up odpor na napájení a výstupy jsou aktivní v log. 1. Jde o následující signály:

- **RESET** - vst. - Uvedení do počátečního stavu, nastavení první frekvence rozmítání
- **NEXT** - vst. - Vyžádání přechodu na následující kmitočet
- **READY** - výst. - Značí připravenost k činnosti. Nepřipravenost nastává zejména po připojení napájení či vyžádání změny parametrů.
- **LOCKED** - výst. - Značí, že na vysokofrekvenčním výstupu je stabilní vyžádaný signál.
- **LAST** - výst. - Značí, že aktuálně vyžádaný kmitočet je posledním bodem rozmítání.

2.3. Vymezení rozsahu práce na nízkofrekvenční a digitální části

Výstupem existující vysokofrekvenční části sestavy, respektive analyzátoru, je pro každý kanál dvojice analogových nízkofrekvenčních signálů I a Q, které jsou fázově modulované synchronně s BPSK modulátorem na vysílací straně. I/Q signály na výstupu mají potlačenou stejnosměrnou i vysokofrekvenční složku.

Tato diplomová práce se týká vyhotovení nízkofrekvenční a digitální části začlenitelné do výše popsané měřicí aparatury, která má plnit následující funkce:

- 1) Digitalizace analogových I/Q signálů
- 2) Buzení BPSK modulátoru, tj. generování modulačního signálu
- 3) Řízení vysokofrekvenčního syntezátoru, rozmítání frekvence
- 4) Zpracování digitalizovaných dat a výstup vypočtených S-parametrů
- 5) Poskytnutí uživatelského rozhraní pro obsluhu celé sestavy

Předmětná část by se tedy jako dílčí celek dala nazvat řídicí jednotkou celé aparatury.



Základní požadavky jsou následující:

- 1) 8 analogově-digitálních vstupů pro digitalizaci čtyř kanálů výstupních IQ dat se současným vzorkováním
- 2) Měření na 100 frekvencích s opakováním 20-krát za sekundu *minimálně*.
- 3) Vzorkování *minimálně* jednou za půlperiodu modulačního 100kHz signálu
- 4) Rozlišení co nejvyšší

Dle konzultace s vedoucím práce byla zvolena strategie konstrukce předmětného funkčního vzorku tzv. "stavebnicově" z hotových komponent na úrovni desek, nikoliv návrhem přístroje z prvokomponent.

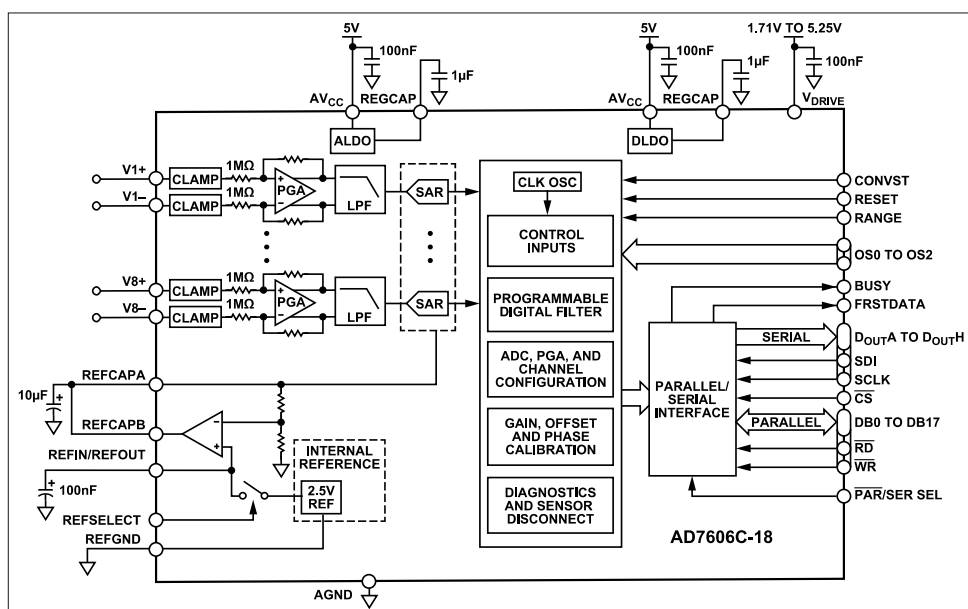
Kapitola 3

Použitý Hardware nízkofrekvenční a digitální části analyzátoru

Za platformy dvou základních funkčních celků - ADC (Analog/Digital Converter) a řídicí jednotky - byly zvoleny 18-bitový převodník s maximálním vzorkovacím kmitočtem 1 MS/s od Analog Devices AD7606C-18 a aplikační mikroprocesor od STMicroelectronics z řady STM32MP257.

3.1. Analogově digitální převodník AD7606C-18

AD7606C-18 je osmikanálový ADC firmy Analog Devices pracující na principu postupné aproximace (SAR - Successive Approximation Register). Převodník nabízí současné vzorkování všech osmi kanálů v jeden okamžik s 18-bitovým rozlišením výstupu při maximálním vzorkovacím kmitočtu 1 MS/s. Obr. 3.1 představuje jeho blokové schéma.



Obrázek 3.1: Blokové schéma AD7606C-18 (převzato z katalogového listu, mírně upraveno)

ADC vyžaduje pouze dva nesymetrické napájecí zdroje - 5V analogovou napájecí větev AV_{CC} a digitální napájecí větev V_{DRIVE} v rozsahu 1,75 – 5,25 V. Z napětí V_{DRIVE} je odvozena napěťová úroveň digitálního rozhraní. Obvod umožňuje i přes absenci záporného napájení převádět i záporná vstupní napětí.

3.1.1. Komunikační rozhraní AD7606C-18

Převodník může pracovat ve dvou základních režimech operace, které výrobce nazývá "hardware mode" a "software mode". V hardwarovém režimu umožňuje obvod omezený rozsah nastavení, která jsou volena logickou úrovní na odpovídajících digitálních vstupech. V tomto módu je datové rozhraní pouze výstupní. V softwarovém režimu je umožněna obousměrná komunikace datovým rozhraním, po kterém jsou z převodníku vyčítána měřená data a které umožňuje obsluhujícímu zařízení zapisovat vnitřní konfigurační registry převodníku. Do HW módu se zařízení uvede přivedením log. 1 na vstupy OS0, OS1 a OS2.

Přenos dat je umožněn rozhraním v režimu paralelní či sériové sběrnice. K volbě režimu slouží log. úroveň na vstupu $\overline{\text{PAR/SER SEL}}$. Sběrnice v paralelním módu je 16 bitů široká a vyžaduje tedy pro přenos jednoho osmnáctibitového slova dvě transakce. Paralelní režim zde není již blíže popisován, neboť není v aplikaci využitý a ani se jeho použití nejeví teoreticky perspektivním v kontextu nakonec zvoleného řešení.

V sériovém režimu komunikuje obvod synchronním sériovým protokolem odpovídajícím sběrnici SPI (Serial Peripheral Interface). Jelikož přenos dat odpovídající osmi 18-bitovým slovům při maximální vzorkovací rychlosti 1 MS/s vyžaduje přenosovou rychlost 144 Mb/s, ale maximální hodinová frekvence sériového rozhraní je 63,5 MHz (a při nižších hodnotách V_{DRIVE} ještě méně), umožňuje obvod přenos 1, 2, 4 či 8 datových slov současně po 1, 2, 4 či 8 datových vodičích.

Provoz ADC v plné kapacitě je možný pouze při využití čtyř ($f_{\text{sck}} \geq 36,9$ MHz) či osmi ($f_{\text{sck}} \geq 18,5$ MHz) sériových linek. Při maximální hodinové frekvenci $f_{\text{sck}} = 63,5$ MHz je vzorkovací f_s omezen při použití pouze dvou linek na maximální hodnotu 0,86 MS/s, v případě jediné datové linky na 0,43 MS/s.

V sériovém softwarovém módu je fyzické rozhraní ADC následovné:

- Nastavení sériového módu: $\overline{\text{PAR/SER SEL}} = 1$
- Nastavení SW módu: $\{\text{OS0, OS1, OS2}\} = 1$
- **RESET** - akt. při vysoké úrovni. Částečný reset: puls 55 – 2000 ns, kompletní reset: puls delší než 3200 ns.
- **CONVST** - akt. při vzestupné hraně. Odstartování převodu.
- **BUSY** - výstup signalizující probíhající převod.
- **FRSTDATA** - výstup signalizující, že aktuální výstupní data jsou součástí prvního slova
- **D_{OUTA}** - **D_{OUTH}** - sériový datový výstup
- **SDI** - sériový datový vstup
- **SCLK** - hodinový signál sériové linky

- $\overline{\text{CS}}$ - Chip Select - aktivní při nízké úrovni

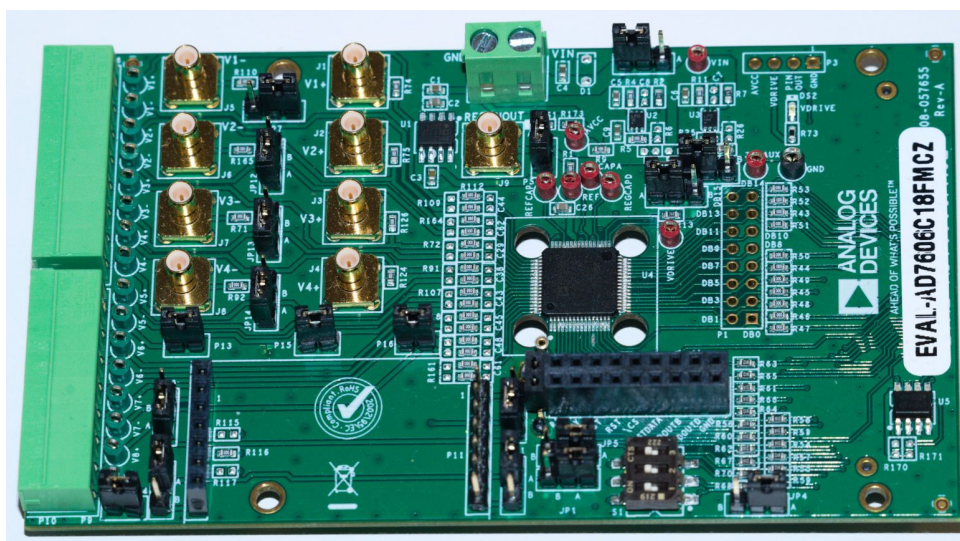
ADC umožňuje v SW módu zápisem do registrů volit následující nastavení (výčet omezen na relevantní části):

- Počet datových vodičů sériové linky (1, 2, 4 či 8)
- Napěťový rozsah analogových vstupů a diferenciální/nesymetrický mód (pro každý kanál zvlášť)
- Přepnutí nižší/vyšší šířky pásma vstupního anti-aliasingového filtru (každý kanál zvlášť)
- Jemná korekce zesílení analogového front-endu - 1,00–1,0645 v 64 krocích (pro každý kanál zvlášť)
- Korekce zpoždění mezi vzorkováním jednotlivých kanálů - rozlišení 1 μs , takže v této aplikaci nepoužitelné.
- Nastavení převzorkování - oversampling (každý kanál zvlášť)

Podrobnější popis obsluhy ADC řídicím procesorem je popsán dále v kapitole 4.3.1.

3.1.2. Vývojová deska EVAL-AD7606C18FMCZ

Vývojová deska EVAL-AD7606C18FMCZ je evaluační nástroj obvodu AD7606C-18 od firmy Analog Devices. Disponuje osmi analogovými vstupy, napájecími obvody a konektory pro připojení komunikujících zařízení. Deska je primárně určena pro připojení kompatibilní desky založené na FPGA pomocí vysokohustotního konektoru na spodku desky. Připojení jiných systémů je však možné přes osazený konektor s roztečí 2,54 mm typu pinheader, na kterém jsou dostupné veškeré digitální signály potřebné pro komunikaci v softwarovém jedno-až-čtyřvodičovém sériovém režimu. Paralelní či čtyřvodičový sériový režim je dostupný přes druhý, neosazený konektor stejného typu, který je v takovém případě nutné osadit.



Obrázek 3.2: Vývojová deska EVAL-AD7606CFMCZ

Pro připojení analogového vstupního signálu disponuje deska konektorovými svorkovnicemi série COMBICON MC 1,5 výrobce Phoenix Contact (katalogové

číslo konektoru na desce: 1803332). Na dvou osmivodičových svorkovnicích je vyvedeno všech osm analogových vstupů kladné i záporné polarity. Pro připojení prvních čtyř kanálů je přítomna osmice koaxiálních konektorů typu SMB - pro každý ze čtyř kanálů kladný i záporný signál. Ačkoliv pro signál řádově stovek kHz je nedůležité zachovat impedanční přizpůsobení vedení, koaxiální kabely a konektory oproti svorkovým spojům nabízí lepší možnosti stínění vedeného signálu. Z analýzy schématu zapojení a výkresu fyzického rozvržení vývojové desky je patrné, že v případě potřeby je jednoduchým přemostěním možné čtyři koaxiální konektory změnit ze vstupů záporné polarity kanálů 1-4 na vstupy kladné (nesymetrické) kanálů 5-8. Možná realizace tohoto přepojení je popsána v kapitole 3.3.5.

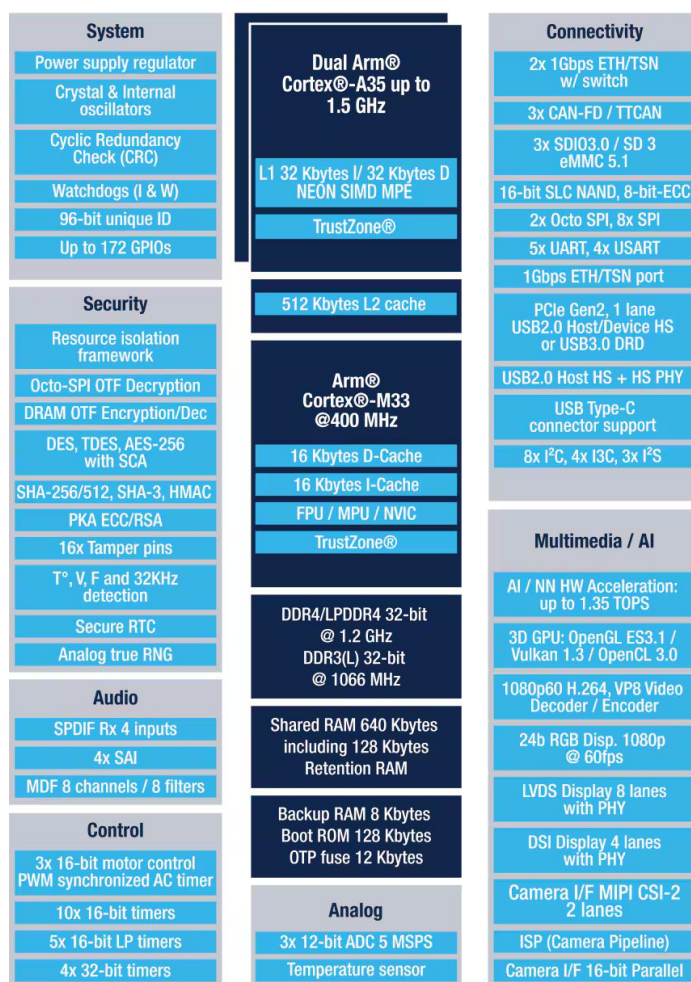
3.2. Mikroprocesor STM32MP257F

Zvolený řídicí obvod od firmy STMicroelectronics (ST) není mikrokontrolérem či mikrořadičem dle tradičního značení. Ačkoliv je tato distinkce velmi arbitrární, obecně se označuje za systém na čipu či v tomto kontextu mikroprocesor integrovaný na procesoru založený obvod, který obsahuje vstupně-výstupní obvody pro interakci s reálným světem (na rozdíl od samotného např. procesoru pro osobní počítače) a umožňuje běh plnohodnotných operačních systémů typu Linux, Android či vzácněji Windows IoT. V kontextu systémů založených na jádrech ARM je zpravidla rozlišujícím znakem, že systémy založené na "aplikačních" jádrech ARM Cortex-A se považují za SoC (System on Chip), resp. mikroprocesory, a systémy založené na "mikrokontrolérových" jádrech ARM Cortex-M se považují za mikrokontroléry. Jedná se zjevně o značně cirkulární logiku terminologie a jejímu rigoróznímu dodržování není dále příliš věnována pozornost. Sám výrobce označuje sérii STM32MP2 za mikroprocesory (MPU - MicroProcessor Unit).

3.2.1. Základní přehled vybavy STM32MP257F

STM32MP2 je v pořadí druhá řada mikroprocesorů, představená firmou ST, založených na výpočetním jádru typu ARM Cortex-A, tedy aplikačních jádrech. Obvod STM32MP257F, použitý na vývojové desce STM32MP257F-DK (viz. dále) je asymetricky multiprocesorovým jednočipovým celkem sestávajícím z páru dvou 64-bitových jader ARM Cortex-A35, vestavného 32-bitového jádra ARM Cortex-M33, úsporného jádra ARM Cortex-M0+ a doplňujících obvodů. Systém dále obsahuje např. menší množství SRAM (Static Random Access Memory) na čipu, výpočetní koprocesory (grafické, neuronové či kryptografické) a periferie typické pro mikrokontroléry řady STM32 od stejného výrobce, jako jsou např. vstupně-výstupní rozhraní, ADC či časovače. Právě hluboká zkušenost s mikrokontroléry série STM32, s nimiž mikroprocesory řady STM32MP2 sdílejí množství periférií, byla jedním z argumentů pro volbu této platformy.

Obr. 3.3 z marketingových materiálů výrobce popisuje procesor STM32MP257F jako shluk nejdůležitějších prvků. Detailní popis mikroprocesoru z hlediska využitých funkcionalit je dále v kap. 4.2, v kontextu přehledu zvolených komponent jsou klíčové zejména následující znaky:



3.2.2. Vývojová deska STM32MP257F-DK

Konkrétní deska STM32MP257F-DK byla zvolena pro konstrukci přístroje poměrně pragmatickým způsobem - S mikroprocesory řady STM32MP2 nabízí STMicroelectronics právě tři vývojové desky - STM32MP215F-DK, STM32MP257F-DK a STM32MP257F-EV1. Deska STM32MP215F-DK obsahuje čip založený pouze na jednom jádře Cortex-A35, tím se jeví jako neperspektivní z hlediska potenciálního provozu navazujícího software v rámci stejného systému. Desky STM32MP257F-DK a -EV1 obsahující stejný mikroprocesor STM32MP257F se po porovnání dostupnosti funkcionalit na uživatelském vstupu výstupním konektoru jeví jako rovnocenné.

S ohledem na to, že deska -EV1 (tj. deska typu EVAL v ekosystému vývojových nástrojů ST) je výrazně cenově nákladnější a komplikovanější než -DK (tj. deska typu Discovery-Kit), byla zvolena STM32MP257F-DK.

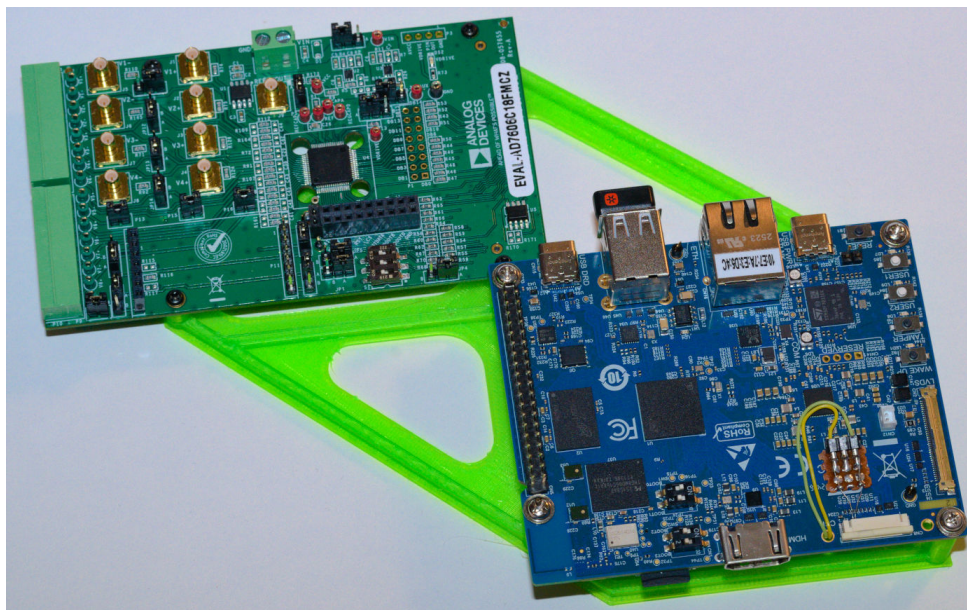
Deska obsahuje dva porty USB typu A, SD kartu, ethernetový port, uživatelský GPIO (General Purpose Input/Output) konektor a dva porty USB-C (jeden pro připojení integrované ladicí sondy STLINK, druhý využitelný uživatelsky v roli Device i Host, tedy DRD (Dual-Role Device)).

3.3. Konstrukce

Pro propojení vybraných komponent do funkčního celku byly realizovány související úkony a přípravky popsané v následujících kapitolách.

3.3.1. Rámeček desek

Pro pevné vzájemné uchycení obou hlavních komponent jako celku bylo navrženo a 3D-tiskem zrealizováno šasi, resp. rám, ke kterému jsou oba uchyceny šrouby, resp. vruty. Přípravek byl navržen s ohledem na rychlou obrátku, tedy s minimalizovaným užitím materiálu a tiskového času, a v mezích nevelkého tiskového prostoru autorovy tiskárny (18x18x18 cm). Model byl vytvořen v Open-Source CAD (Computer-Aided Design) programu SolveSpace.



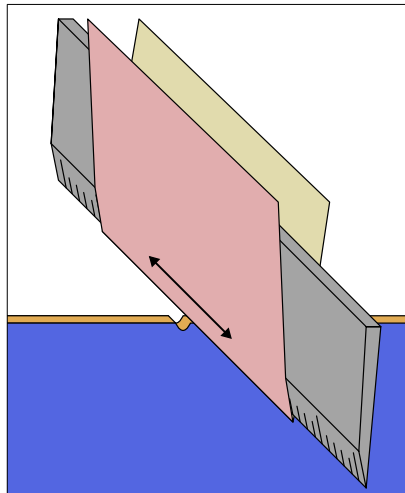
Obrázek 3.4: Šasi pro uchycení obou hlavních komponent výrobku

Deska STM32MP257F-DK má čtyři montážní otvory průměru 3,2 mm, do nichž pasují šrouby rozměru M3, které jsou prakticky standardem pro montáž desek plošných spojů (PCB - Printed Circuit Board). Oproti tomu deska EVAL-AD7606C18FMCZ má čtyři otvory, pouze dva jsou však těchto standardních rozměrů a zbylé dva jsou průměru 2,6 mm. Pro přípravek byly použity vruty do plastu průměru 2,5 mm pro všechny čtyři otvory desky ADC. Do návrhu byly později doplněny montážní otvory pro připevnění přípravku k libovolnému podkladu, fotografie vyhotoveného kusu (obr. 3.4) je však neobsahuje.

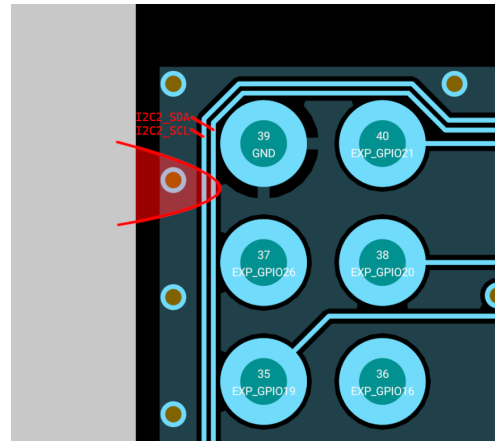
Vzhledem k rozměrovému omezení tiskového prostoru tiskárny nešlo zamezit překrývání půdorysů obou desek. Aby nedošlo k zamezení přístupu ke konektoru USB-C DRD na řídicí desce, je tato na přípravku umístěna ve větší výšce než deska ADC.

3.3.2. Odpojení konfliktních zabudovaných I2C periférií od sběrnice I2C2

Později během vývoje bylo zjištěno problémy plynoucí z toho, že HDMI (High-Definition Multimedia Interface) výstup je na desce řešen pomocí převodníku video-protokolu DSI (Display Serial Interface), jež je výstupem MPU, na standard HDMI. Konkrétně jde o obvod ADV7535BCBCBZ firmy Analog Devices. Tento obvod je totiž rovněž připojen na sběrnici I2C2, která je vyvedena na GPIO konektoru pro uživatelské využití. Stejná sběrnice je rovněž vyvedena ke konektoru pro připojení kamer protokolem CSI (Camera Serial Interface) a konektoru pro připojení zakázkového displeje protokolem LVDS (Low-Voltage Differential Signalling), neboť oba tyto protokoly spoléhají na sběrnici I2C (Inter-Integrated Circuit) jako postranní komunikační kanál.

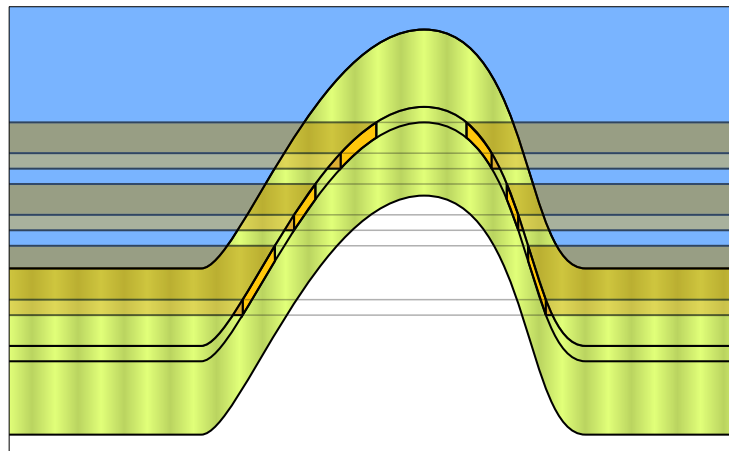


Obrázek 3.5: Využitá metoda pro precizní řez do PCB



Obrázek 3.6: Provedený řez znázorněný na výrobním výkresu desky

Pinem použitým pro signál SDA této sběrnice je PF0, který byl během návrhu využit jako hodinový signál jedné ze sběrnic SPI pro komunikaci s analogově digitálním převodníkem a v této funkci není nahraditelný. Z tohoto konfliktu plynou jednak fyzikální problémy zhoršené signálové integrity relativně rychlého hodinového signálu SPI a jednak není možné garantovat, že provoz na frekvenci řádově vyšší než běžný rozsah I2C, nepůsobí nepředvídatelné problémy.

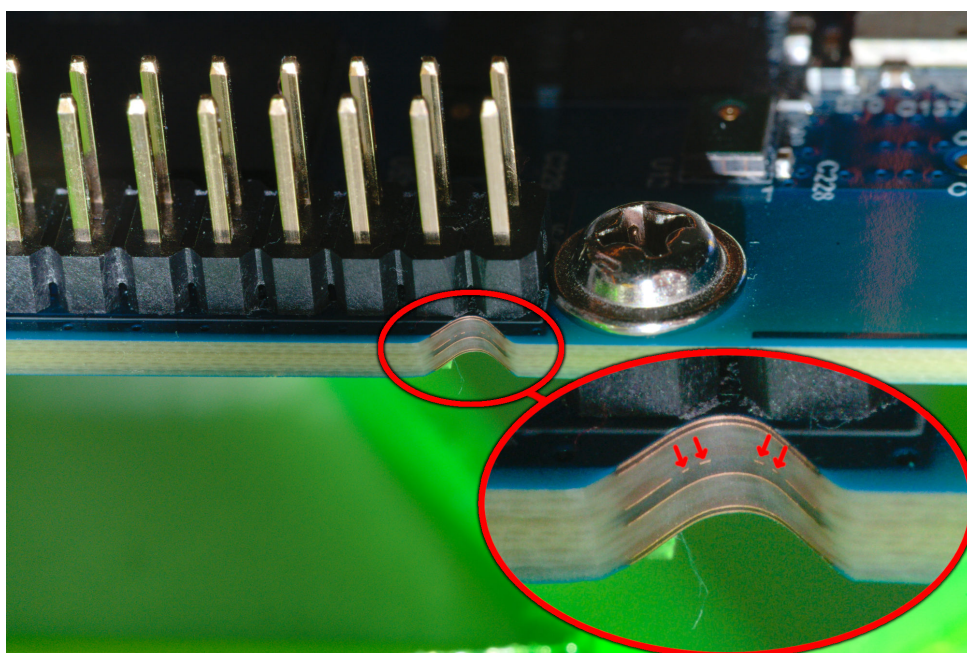


Obrázek 3.7: Návrh detailu řezu do desky - zobrazena přerušené vnější zemní okružní a dva vodiče sběrnice I2C

Z analýzy schématu zapojení a výrobních dat (publikovaných výrobcem) bylo zjištěno, že sběrnice I2C2 je vedena napřed k uživatelským pinům na GPIO konektoru, odkud teprve pokračuje ke zbytku zmíněných prvků. Návrhář na desku neumístil odstranitelné propojky umožňující odpojení I2C periférií v případě konfliktu, jak je dle názoru autora dobrým mravem, pokud je uživatelsky vystavená sběrnice sdílena s existujícími komponentami na desce. Zároveň se toto řešení jeví nanejvýš zvláštní s přihlédnutím ke skutečnosti, že mikroprocesor disponuje minimálně jednou další k ničemu nevyužitou sběrnicí I2C dostupnou na nevyužitých (nezapojených) kuličkách integrovaného obvodu.

Sběrnice I2C2 je od GPIO konektoru vedena výhradně vnitřní vrstvou tištěného spoje, což značně komplikuje přerušení tohoto spojení. Delším studiem návrhových dat vývojové desky vyšlo najevo, že pro zásah do vnitřní vrstvy je vhodné místo mezi piny 37 a 39 GPIO konektoru a vnější hranou. Oba vodiče zde jdou paralelně velice blízko okraje desky a nad ani pod nimi ani mezi nimi a vnějším okrajem se nenachází jiné vodiče než zemní vrstvy, což minimalizuje riziko vzniku zkratu a umožňuje přerušení sběrnice pouhým zářezem ze strany (obr. 3.6).

Řez byl proveden manuálně za použití brusného papíru přeloženého přes ostrou hranu pravítka (obr. 3.5). Předpokládaný výsledek řezu je zjednodušeně zobrazen na obr. 3.7, ovšem bez ostatních vrstev mědi. Dotčená sběrnice je vedena jednou ze dvou vnitřních vrstev šestivrstvého plošného spoje. Výsledný řez je v detailu zachycen na obr. 3.8.



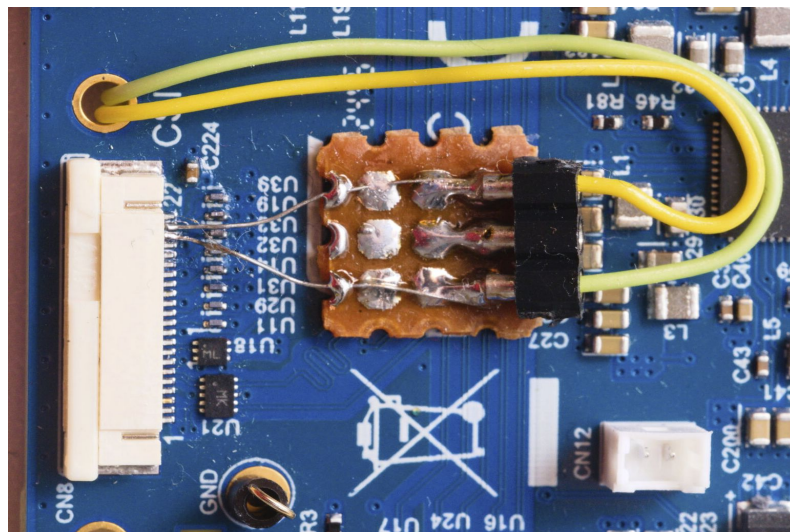
Obrázek 3.8: Makrofotografie řezu do desky s detailem, šipkou označeny vodiče I2C

3.3.3. Přepojení odpojených komponent ke sběrnici I2C8

Neboť navrhovaný přístroj má disponovat grafickým výstupem, možnost připojení displeje přes HDMI či LVDS je značně žádoucí. Při rozboru matice dostupných alternativních funkcí pinů a jejich potřebných využití byla nalezena kombinace funkcí dostupných pinů umožňující využití sběrnice I2C8, dostupné na pinech PZ3 (SDA) a PZ4 (SCL) pro tento účel. Jelikož, jak bylo zmíněno výše, je sběrnice vedena vnitřní vrstvou, bez nutnosti zásahu do vnitřních vrstev je napojení vodiče možné hlavně přímo na konektorech.

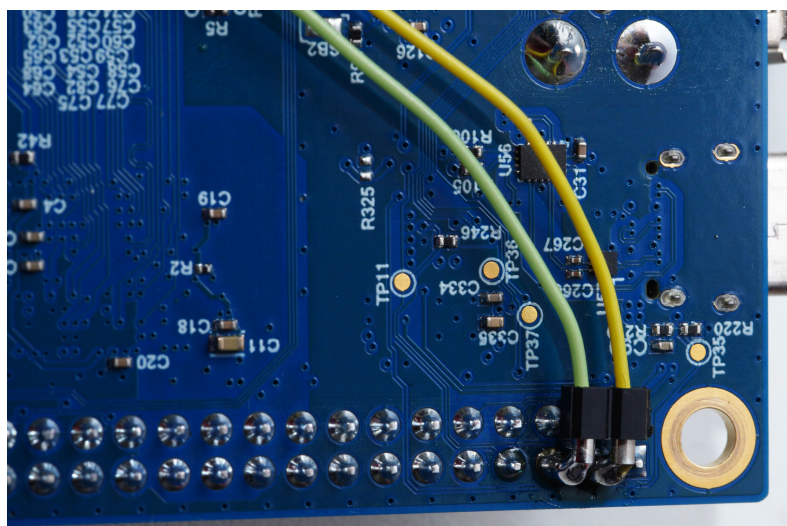
Za kontaktní místo byl zvolen konektor pro plochý kabel CSI, na nějž jsou vyvedeny signály I2C na pinech 20 (SCL) a 21 (SDA). K napojení na piny s roztečí 0,5 mm byla použita jedna žíla o průměru 0,2 mm extrahovaná z licny. Kvůli minimalizaci rizika poškození spojení byly tyto tenké dráty napojeny na blízký fragment

bodového plošného spoje, který je k desce mědí vzhůru přichycen kyanoakrylátovým lepidlem.



Obrázek 3.9: Napojení vodičů ke sběrnici přes piny konektoru

Na této mezidesce byly umístěny k vodičům sběrnice připojené konektory. Konkrétně byly použity piny z tzv. precizních patic, které jsou běžně dostupné ve formě lišt určených k odlomení potřebného počtu kusů. K připojení k nim je použit celistvý pocínovaný drát průměru (nikoliv průřezu) 0,4 mm s izolací z plastu PVC (polyvinylchlorid). Výsledek lze vidět na obr. 3.9.



Obrázek 3.10: Napojení vodičů sběrnice I2C8

Ke sběrnici I2C8 jsou propojovací vodiče připojeny k pinům zespodu GPIO konektoru na druhé straně desky. Je použit stejný typ precizních pinů jako u protistrany a propojení je následovné: I2C_SDA-pin č. 3 (PZ3) a I2C_SCL-pin č. 5 (PZ4). Spojení lze pozorovat na obr. 3.10.

3.3.4. Úpravy desky ADC pro zlepšení signálové integrity

V raném stádiu práce bylo k připojení ADC k MPU použito samotných "hřebínkových" propojovacích vodičů. Velmi rychle byly patrné problémy se signálovou integritou takového spojení. Nejprve byly redukovány problémy způsobené "cross-talkem" (vzájemnou vazbou) signálů paralelně vedených vodičů, čehož bylo dosaženo vedením signálů na kabelu střídavě signál-zem-signál-zem.

Zároveň začalo být patrné, že při provozu sběrnice na plánované frekvenci 44 MHz (maximální rychlost rozhraní USART ve slave/receive-only režimu) a rozvedení hodinového signálu nejen do desky ADC, ale i do čtyř přijímacích SPI periferií na desce MPU (přes zpožďovací vedení, blíže vysvětleno v kapitole 3.4), je naprosto nedostatečná signálová integrita důsledkem impedančního nepřizpůsobení.



Obrázek 3.11: Zákmity na hodinovém signálu (žlutá) při špatné signálové integritě způsobující falešné aktivní hrany a chybové pulsy ve výstupních datech (modrá)

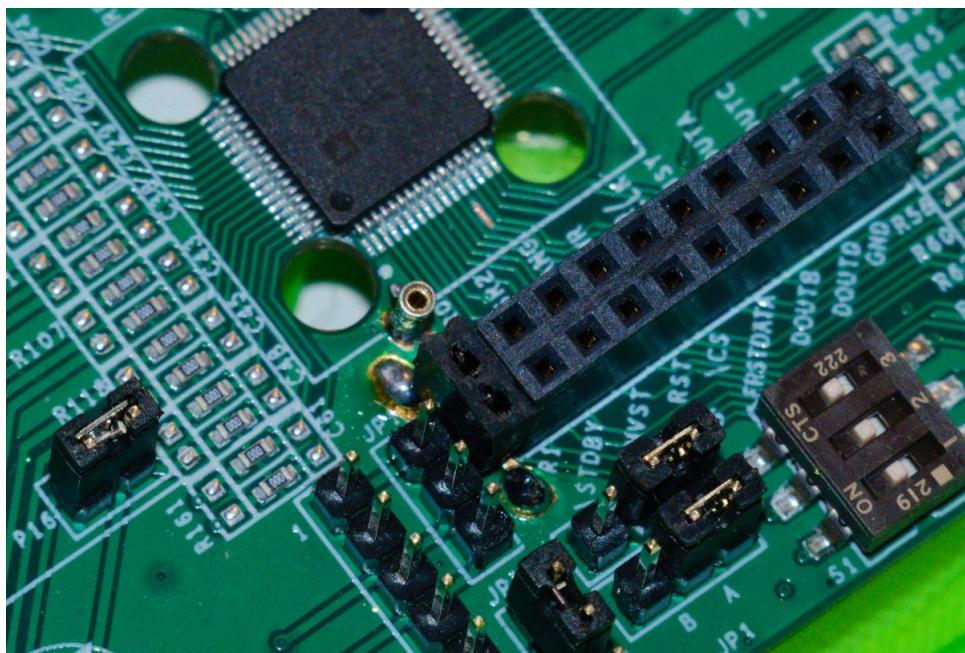
Při připojení hodinového signálu sériové sběrnice přímo propojovacím kabelem je signálová integrita tak špatná, že komunikace byla částečně možná jen na velmi nízké frekvenci a nebyla spolehlivá nikdy ani při snížení síly výstupního budiče hodin (tedy zpomalení hrany signálu), neboť libovolně pomalý obdélníkový průběh obsahuje hrany, které způsobují zákmity. Obr. 3.11 je oscilografem zachycujícím extrémní případ, kdy zákmity na aktivní (vzestupné) hraně hodin jsou tak velké, že pro přijímající stranu se jeví jako regulérní druhá aktivní hrana. Oscilograf byl pořízen osciloskopickou sondou za přímého použití hrotu a zemnicí pružinky.

Tabulka 3.1: Rozložení vývodů konektoru P1 desky EVAL-AD7606CFMCZ, šedě vyznačeny přidávané zemní piny

GND	OSR0	OSR2	RANG	WR	RD/SCLK	BUSY	DOUTA	DOUTC	SDI
GND	OSR1	STDBY	CNVST	RST	CS	FRSTDATA	DOUTB	DOUTD	GND

Nejprve bylo vylepšeno vedení zemních vodičů. Konektor na desce EVAL-AD7606CFMCZ pro toto použití není vhodný, neboť obsahuje pouze jeden zemnicí pin (tab. 3.1). Toto bylo částečně zlepšeno přidáním dvoupinového konektoru

stejného typu vedle tak, aby spolu tvořily z vnějšího pohledu celistvý konektor. Jedná se o běžný dutinkový konektor "na pinheadery" s roztečí 2,54 mm. K rozšíření byl použit úlolek dvou pinů z dutinkové lišty stejného typu. Plastové šasi konektoru bylo ostrým nožem zespodu ořezáno, aby bylo umožněno těsnější ohnutí pinů, což návazně umožnilo povrchovou montáž tohoto původně THT (Through-Hole Technology, tj. vývodového) konektoru. Výsledný tvar by po montáži stále převyšoval původní konektor, přídavný bylo však možné snížit pouhým oříznutím plastového ostění, neboť kontakty uvnitř konektoru byly dostatečně zapuštěné uvnitř. Výsledek je zachycen na obr. 3.12.



Obrázek 3.12: Rozšíření konektoru o dvě zemní zdířky. Rovněž viditelné: pin pro zemnicí pružinku a odkrytá měď na vodiči hodinového signálu

Napojení do nového konektoru se třemi zemnicími piny stále nebylo možné samo o sobě pro kabel se střídavým uspořádáním signál-zem. Konektor na kabelu byl provizorně realizován pospojováním všech zemních vodičů a jejich propojením do tří zemí na straně ADC.

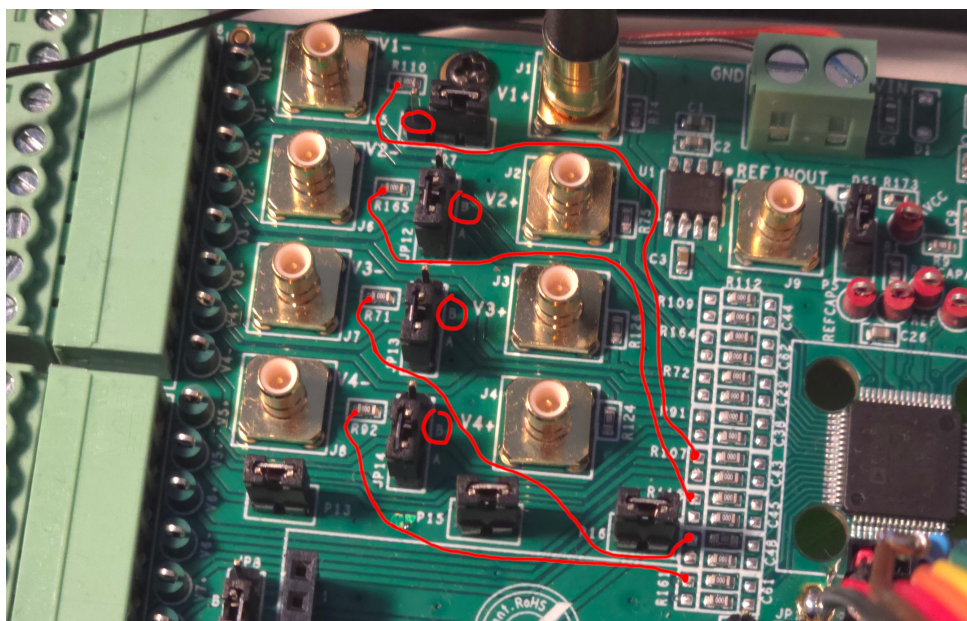
Pro impedanční přizpůsobení hodinového signálu byl na kabelu na straně ADC zařazen sériový terminační odpor. Optimální hodnota odporu byla určena experimentálně jako 47 Ω . Odpor je zařazen osazením do precizních pinů (stejných, jako byly použity pro propojení I2C sběrnic na desce MPU v kap. 3.3.3).

3.3.5. Navrhovaná přestavba vstupů koaxiálních konektorů analogových vstupů ADC

V kap. 3.1.2 byla nastíněna potenciální modifikace desky ADC na 8 nesymetrických vstupů na SMB konektorech místo čtyř symetrických. Koaxiální vstupy V1- až V4- jsou přes nulové odpory připojeny k pinům na straně B propojek JP7, JP12, JP13 a JP14. Střed propojek je pak spojen se vstupy ADC V1- až V4- a strana A na zem.

Pokud není propojka v pozici B, koaxiální vstupy V1- až V4- jsou plovoucí, stačí je tedy spojit se vstupy V5+ až V8+.

Jako vhodná místa napojení se jeví na straně konektorů pájecí plošky zmíněných SMD propojek, na straně ADC potom pájecí plošky neosazených SMD součástek určených pro volitelné osazení vstupních filtrů. Tento postup je vyznačen na obr. 3.13. Možnou alternativou je připájení vodičů zespodu desky k pinům na straně "B" propojek JP7 a 12-14 a na straně vrchní využít stejné body. V takovém případě se jeví jako vhodné provedení vodičů dírami v rozích obvodu ADC (pravděpodobně sloužících při vývoji k osazení patice).



Obrázek 3.13: Navrhované napojení koaxiálních vstupů

3.3.6. Adaptérový přípravek MPU desky

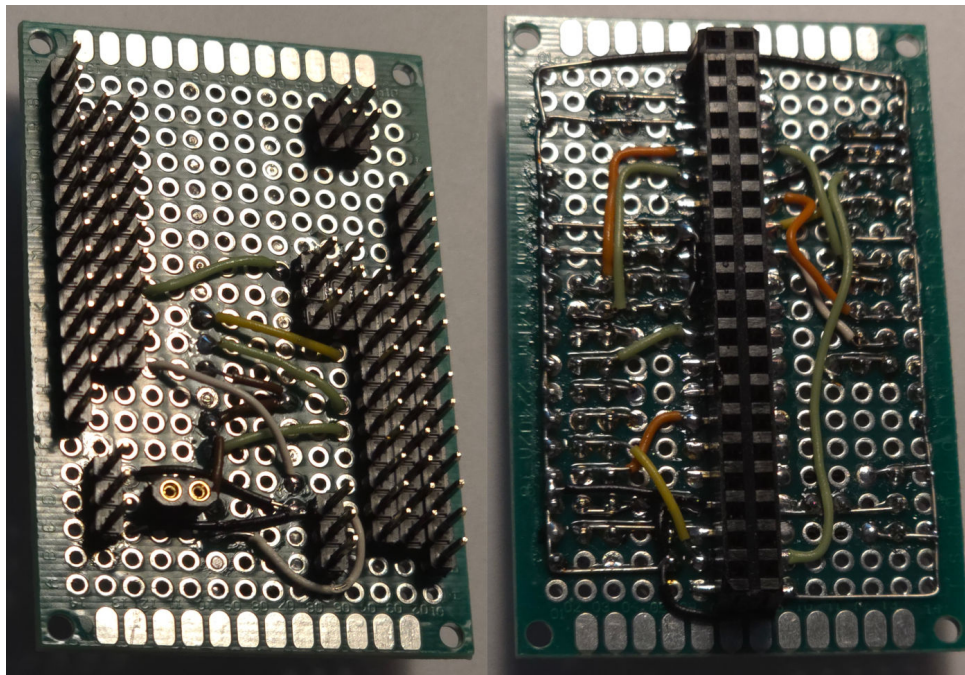
K propojení řídicí desky byl vyhotoven přípravek rozvádějící (vzhledem k přiřazeným funkcím) nahodile rozmístěné piny na GPIO konektoru desky mikroprocesoru do konektorů pro připojení kompaktních kabelů propojovaných prvků. Přípravek je dále označován i jako daughter-board (dceřiná deska).

K vyhotovení daughter-boardu byl použit bodový prototypový plošný spoj s prokovenými otvory. Odpovídající protikus "hřebínkového" konektoru s roztečí 2,54 mm desky mikroprocesoru byl osazen metodou povrchové montáže (původně THT konektoru byly zohýbány vývody do stran). Taková povrchová montáž umožňuje připojení vodičů ke kontaktům hlavního konektoru z obou stran desky, což má za následek výrazně snadnější vedení propojovacích vodičů. Pokud jsou piny na stejné straně hlavního konektoru, lze celý spoj vést pouze jednou stranou.

Adaptér obsahuje konektor pro připojení kabelů syntezátoru, BPSK modulátoru a ADC. U obou z nich je přidána druhá řada signálových vodičů, což usnadňuje připojení měřicích přístrojů při diagnostice či ladění. Dále jsou přítomné konektory pro loopback hodinového signálu (blíže vysvětleno v kap. 3.4) a dva precizní pati-

cové piny pro zapojení sériového terminačního odporu hodinového signálu (viz tamtéž).

Konektory hodin a BPSK modulace jsou provedeny třívodičově v konfiguraci zem-signál-zem pro zabránění prohození polarity. Na desce je rovněž vyvedeno 5V napájení např. pro provizorní napájení desky ADC.



Obrázek 3.14: Vyhотовená dceřiná deska s konektory

Rozpis konektorů, pinů a funkcí rozvedených daughter-boardem je v tab. 3.2. Jedné buňce tabulky odpovídá jeden otvor prototypového plošného spoje, na němž je adaptér postaven.

Tabulka 3.2: Pin-out dceřiné desky s konektory (pohled shora)

[illegible]

3.4. Přiřazení funkcí vývodů mikroprocesoru

Tab. 3.3 popisuje přiřazení pinů použitého procesoru funkcím, respektive signálům připojených zařízení. V každém řádku jsou pro daný pin uvedeny relevantní dostupné funkce. Podobně jsou v každém sloupci uvedeny pro dané uplatnění vhodné funkce pinů. Podbarvené buňky značí přiřazení sloupce funkce k řádku pinu

tak, jak je použito ve výrobku. První sloupec "FIXED" je výčtem funkcí, které jsou fixní, protože pro ně neexistuje alternativa.

Tabulka 3.3: Matice vstupů a výstupů a relevantních dostupných periférií MPU

	FIXED	DoutC	DoutD	SDI	ADC_Reset	CONVSTRT	BUSY	FRSTDATA	CS	PLL_RESET
PA1	USART6 clk_in									
PA5										
PB5										
PC4	SPI6rx DoutB									
PC7				SPI6_MOSI						
PC10	SPI3rxDoutA									
PD0					GPIO out	TIM15_Ch2				
PD1						TIM15_Ch1				
PD2										
PF0	SPI3 clk									
PF2							EXTI DMA trg		GPIO out	
PF4			x	x						
PF7	SPI6 clk									
PF11										TIM2_ch4
PF13			x	x			EXTI DMA trg		SPI2_NSS?	TIM3_ch3
PF14			USART6_RX	x						TIM3_ch4
PF15	SPI2 clk									
PG5										TIM2_ch3
PH8										
PZ0		x		x						
PZ1		x		x						
PZ3										
PZ4										
PZ5	SPI8 clk									
PZ6										
PZ7		SPI8_MOSI		x						
PZ8		x		x						
PZ9										

	NEXT	READY	LOCKED	LAST	BPSK_MOD	PLL_RX	PLL_TX	HDMI_I3C	SDAHDMI	I2C_SCL
PA1				GPIO in						
PA5										
PB5										
PC4										
PC7		TIM8_ch2 N	TIM8_ch2 N							
PC10										
PD0										
PD1										
PD2										
PF0										
PF2										
PF4										
PF7										
PF11	TIM2_ch4									
PF13	TIM3_ch3									
PF14	TIM3_ch4									
PF15										
PG5	TIM2_ch3									
PH8										
PZ0		TIM8_ch1	TIM8_ch1		TIM8_ch1		LPUART1_tx	I2C8_SDA		
PZ1		TIM8_ch2	TIM8_ch2		TIM8_ch2		LPUART1_rx		I2C8_SCL	
PZ3								I2C8_SDA		
PZ4							LPUART1_rx		I2C8_SCL	
PZ5										
PZ6		TIM8_ch3	TIM8_ch3		TIM8_ch3					
PZ7							LPUART1_tx			
PZ8							LPUART1_rx			
PZ9							LPUART1_tx	I2C8_SDA		

Za zmínku stojí pin PZ8, který je popsán pro funkci READY (což je signalizační výstup syntezátoru) jako kanál 1 časovače TIM8. Toto plynulo z úvahy vzniklé chybným popisem funkce syntezátoru ve starší verzi dokumentace. Signál READY může být obsluhován jakýmkoliv digitálním vstupem procesoru.

Hodinový signál sériové komunikace s SPI je generován mikroprocesorem, jelikož je však k příjmu dat po čtyřech datových vodičích využito čtyř SPI periférií MPU, je nutné každé z nich poskytnout vlastní hodinový signál. V počátcích vývoje bylo předpokladem, že jednotlivé SPI periferie bude možné interně zasynchronizovat a ke komunikaci budou stačit čtyři vstupní datové signály (DoutA až D), jeden výstupní (SDI) a hodinový signál pouze jedné periferie. Tohoto bylo dosaženo téměř, prokázalo se však nereálné dosáhnout 100% spolehlivosti z důvodu proměnlivé latence DMA přenosů procesoru, pomocí kterých synchronizace byla realizována.

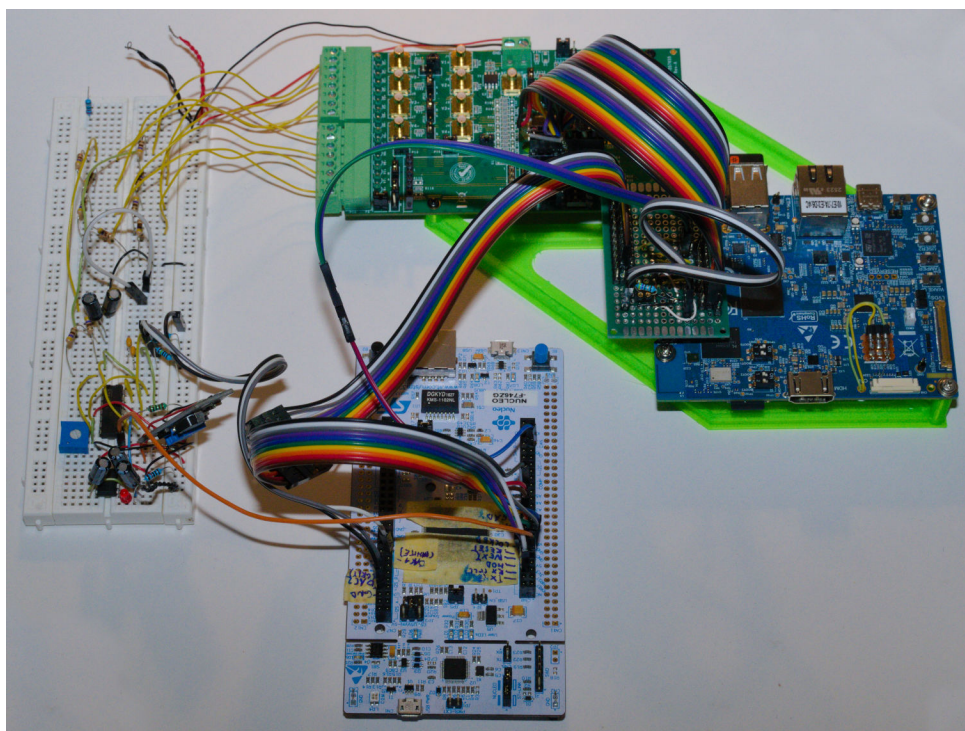
Ke komunikaci tedy následně bylo využito čtyř SPI periférií, od kterých byl dostupný hodinový i alespoň jeden datový vodič. Později se ukázalo jako problema-

tické zpoždění mezi hodinovým signálem MPU a daty, které po obrátce přes relativně dlouhý kabel vracel analogově-digitální převodník. Z tohoto důvodu bylo využito jedné SPI periferie čistě jako generátoru hodin v režimu MASTER a čtyř dalších SPI periferií v režimu SLAVE. Hodinový signál je pak kromě kabelu k ADC i zpětnou smyčkou (loopback) veden kabelem podobné délky zpět do MPU.

Stejně jako v případě vedení hodin k desce ADC, i na konci vedení hodin pro loopback je nutný zakončovací odpor, jehož hodnota byla zvolena rovněž experimentálně jako $47\ \Omega$.

3.5. Simulátor použitého syntezátoru

Jelikož možnosti ladění a testování aplikace na mikrovlnné aparatuře jsou v laboratoři omezené a v domácích podmínkách nejsou možné, pro usnadnění vývoje byl navrhnout a zkonstruován přípravek pro potřeby obslužného software napodobující funkci mikrovlnného syntezátoru a vysokofrekvenční aparatury až po výstupy IQ demodulátorů.



Obrázek 3.15: Sestava desky NUCLEO-F746ZG jako simulátor vf. části aparatury včetně improvizovaného zesilovače

Ke stavbě byla využita vývojová deska NUCLEO-F746ZG obsahující jednočip STM32F746ZG. V programu, který pro ni byl pro tento účel napsán, byl implementován sériový protokol tak, jak byl popsán v dokumentaci generátoru (a zběžně v kap. 2.2.1 výše). Program rovněž obsahuje logiku řídicích signálů NEXT, RESET, LOCKED, READY a LAST. Po nastavení parametrů rozmítání firmware provede výpočet hodnot, jaké by měly při jednotlivých frekvencích na výstupu I a Q demodulátoru simulované aparatury, a během provozu na výstupech dvou DAC (Digital to Analog Converter) předkládá tyto hodnoty. Šíření vlny je simulováno nejjedno-

duším způsobem pouhým vynásobením vlnového čísla simulovanou vzdáleností a exponenciálním poklesem amplitudy na jednu vlnovou délku. K dispozici je i vstup BPSK, podle signálu na jehož vstupu je obrácen smysl výstupního napětí I a Q.

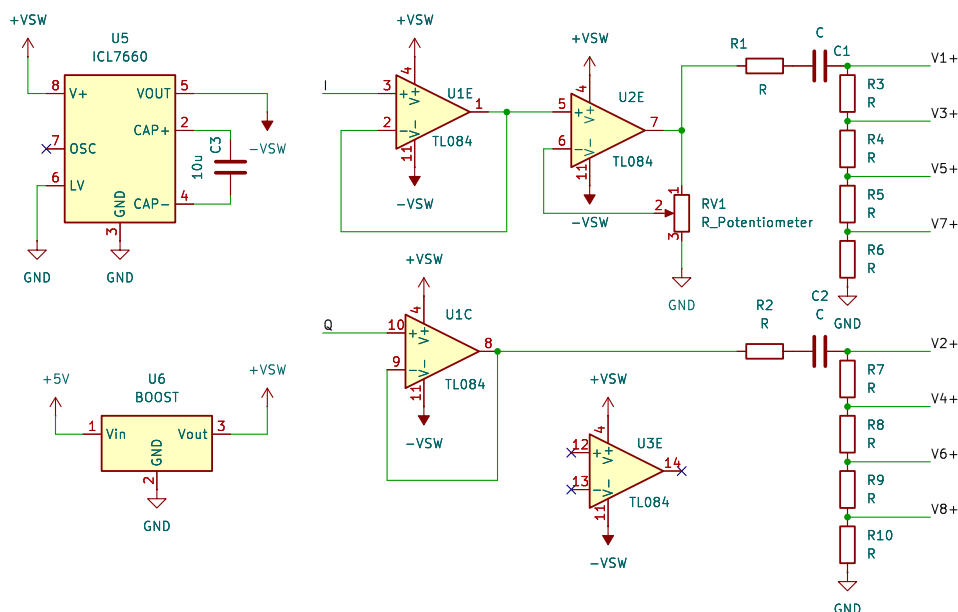
Do logiky parsování ovládacího příkazu byly přidány pro usnadnění testování dodatečné formáty příkazu s následující funkcí:

`&dxxxx\r`, kde `xxxx` je čtyřmístné číslo v rozsahu 1-9999 - nastavení simulované vzdálenosti (délky vedení) v milimetrech.

`&axxxx\r`, kde `xxxx` je čtyřmístné číslo v rozsahu 1-1000 - nastavení útlumu na jednu vlnovou délku v tisícinách.

`&pxxxx\r`, kde `xxxx` je čtyřmístné číslo v rozsahu 0-2000 - nastavení fázové chyby výstupů I a Q. Rozsahu 0-2000 odpovídá přičtení -1 až 1π k fázi při výpočtu hodnoty Q.

`&b\r` a `&B\r` pro vypnutí či zapnutí modulace (malé b znamená, že vstup BPSK je ignorován).

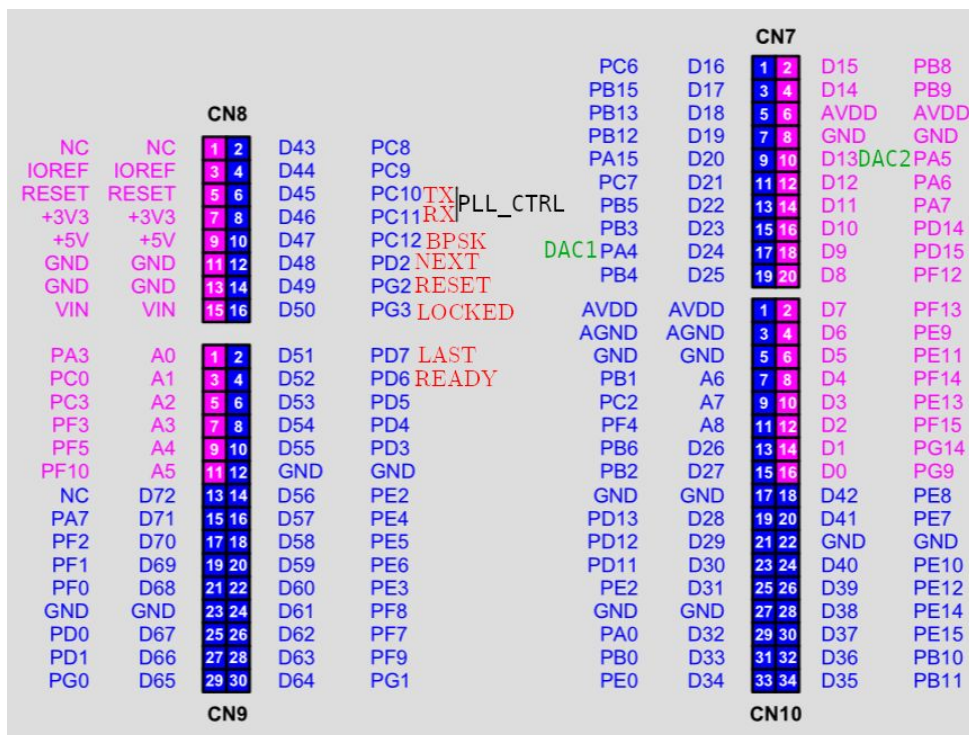


Obrázek 3.16: Schéma zesilovače k simulátoru měřicí aparatury

Přípravek má pouze jeden výstup I a jeden výstup Q, výstupní signály jsou tedy pro poskytnutí čtyř I/Q kanálů zavedeny do čtyřnásobných napěťových děličů. Před napěťovým zesilovačem jsou signály vedeny filtrem typu horní propust, aby stejnosměrná složka signálů, které jsou generovány v rozsahu 0–3 V, byla odstraněna stejně jako v simulované aparatuře.

Přípravek byl obohacen o operační zesilovač opakující výstupní signál. Normálně by použití externího zesilovače nebylo nutné, neboť výstupy DAC obvodu STM32F746 obsahují výstupní buffery, kus, na kterém byl simulátor vyhotoven, utrpěl v minulosti právě na digitálně analogovém převodníku elektrické poškození a

na jednom z kanálů výstupní zesilovač nefungoval. Toto se projevovalo tak, že zapnutím poškozeného bufferu byl sice výstup invertován, jak je očekávané, ale měl pořádkem velmi vysokou výstupní impedanci. Buffer byl proto vypnut na obou výstupech a byl realizován zesilovač ze součástek, které byly okamžitě k dispozici.



Obrázek 3.17: Fyzické a logické rozmístění signálů na simulátoru měřící aparatury (převzato z [7] a upraveno)

Schéma zapojení zesilovače a děliče je na obr. 3.16. Jelikož jediným operačním zesilovačem, který byl okamžitě k dispozici, byl TL084, který neumožňuje provoz blízko napájecích napětí, byl obohacen o nábojovou pumpu vytvářející záporné napájecí napětí pro pokrytí oblasti nuly a o modul zvyšujícího měniče pro pokrytí oblasti napájecího napětí. Zvyšující měnič byl nastaven na napětí 6 V a nábojová pumpa je napájena z něj.

Přiřazení signálů a jejich fyzická pozice na desce STM32F746ZG je na obr. 3.17.

Kapitola 4

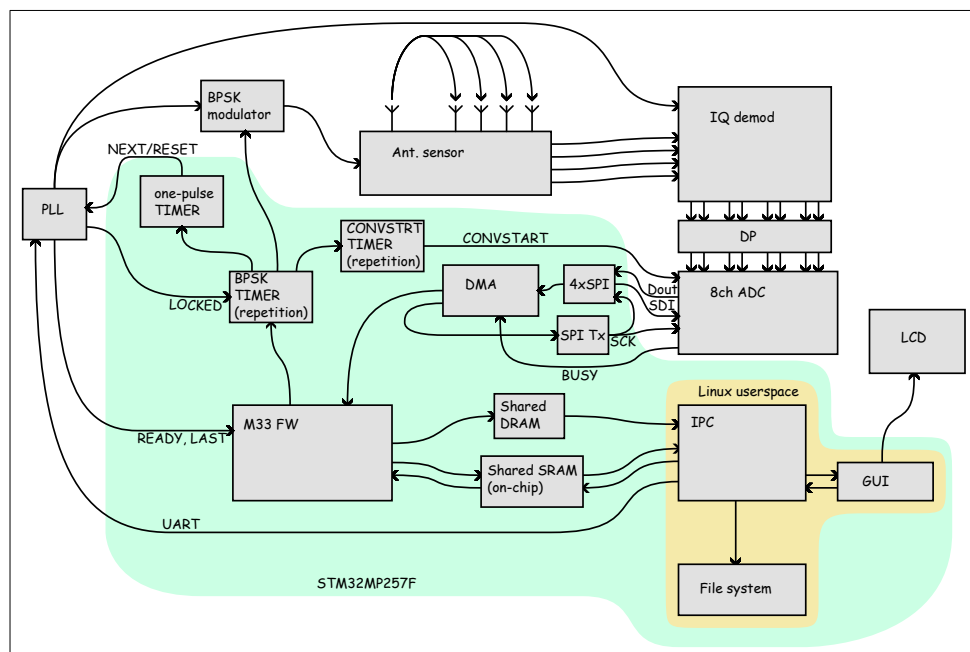
Programové vybavení

Softwarové vybavení přístroje jako celek má plnit zejména následující funkce:

- Nastavení rozmítání syntezátoru kmitočtů
- Řízení rozmítání v reálném čase
- Generace modulačního signálu pro BPSK modulátor
- Časování vzorkování ADC synchronně s modulačním signálem
- Příjem dat z ADC
- Demodulace vzorkovaných dat
- Kalibrace a formátování dat
- Vystavení dat k dispozici
- Uživatelské rozhraní

4.1. Rozvržení rolí funkčních částí

Obr. 4.1 předává ideu vzájemného fungování HW a softwarových dílčích částí. Základní členění je mezi program běžící přímo na HW tzv. "bare-metal" na jádře M33 a programy uživatelsky běžící v kontextu Linuxu "userspace" na jádře A35.



Obrázek 4.1: Ideové schéma rozdělení funkcionalit projektu

Linuxovému userspace jsou přenechány zejména úkony vyžadující výpočetní výkon - matematické operace nad naměřenými daty, grafické uživatelské rozhraní a styk s vnějším světem vně měřicí aparatury. V rámci programu pod Linuxem zajiš-

řujícího meziprocesorovou komunikaci s jádrem M33 je vykonávána i aplikační logika - spouštění měření, volba parametrů a režimu měření či kalibrace.

Ve zodpovědnosti SW běžícího pod Linuxem je ponechán i přístup k rozhraní UART sloužícího ke konfiguraci připojeného syntezátoru kmitočtů. Ačkoliv tato funkcionality není ani výpočetně ani implementačně náročná, toto zařazení bylo zvoleno hned ze dvou důvodů. Prvním důvodem je, že nebylo od začátku jasné, že bude nalezena kombinace funkcí pinů procesoru dostupných na GPIO konektoru, a předpokládané řešení v případě nutnosti by bylo využití převodníku USB-UART, což je v prostředí plnohodnotného operačního systému triviální a na surovém hardware bez operačního systému hraničně náročné.

Jak je rovněž z obr. 4.1 patrné, maximální pozornost byla věnována využití hardwarových prvků pro co nejvyšší stupeň provozu měření bez zásahu běžícího software. Zkratkovitým přehledem (více v kap. 4.3.1) lze nastínit, že řízení syntezátoru je vyjma restartu rozmítání plně v režii HW časovačů a čítačů a i pro restart jde pouze o včasnou změnu nastavení konfigurace časovačů a ani tak nemá latence software vliv na časování. Stejně tak je prakticky výhradně v režii HW spouštění konverze ADC v rytmu s generovanou modulací a následný přenos výstupních slov z ADC přes SPI pomocí DMA do bufferu v paměti.

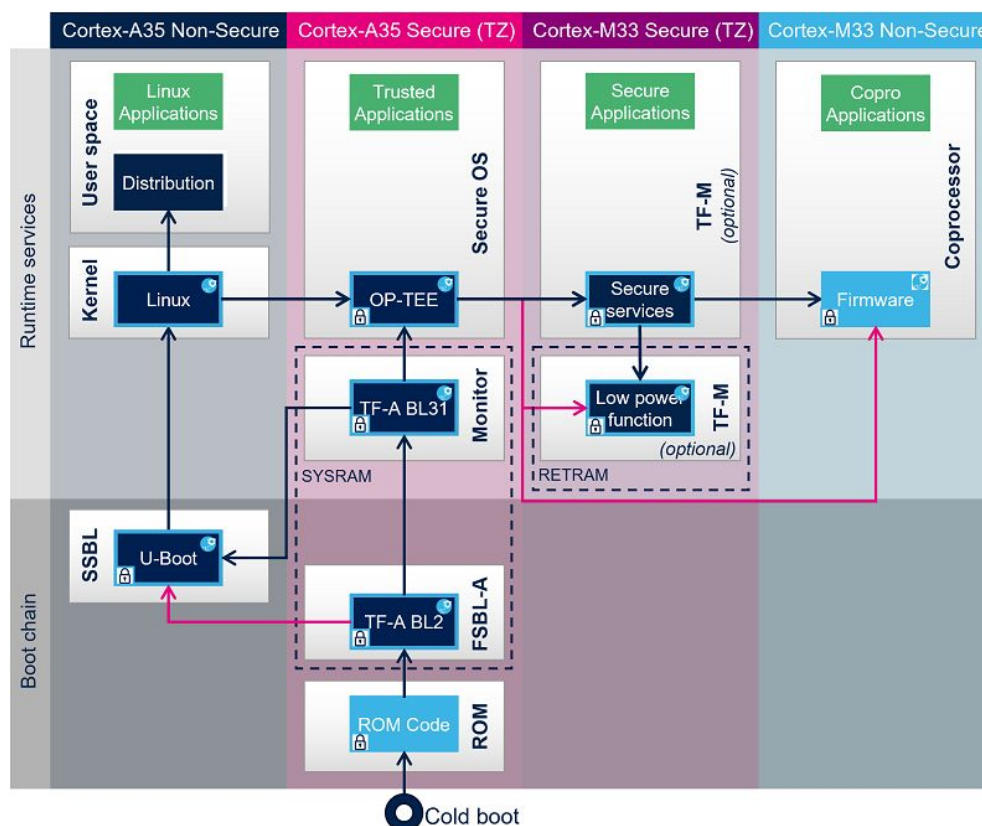
4.2. Ekosystém STM32MP257F

Dá se bez jakýchkoliv pochybností říct, že z pohledu programátora jsou mikroprocesory série STM32MP2 nesmírně složitý kus hardware. Způsob vývoje SW je radikálně odlišný od práce s mikrokontroléry, na podobnost s nimiž výrobce tak moc klade důraz v marketingových materiálech. Z pohledu vývojáře se dá lehce zjednodušit, že pro mikrokontrolér se program napíše, zkompile a stáhne do paměti flash, a při příštím resetu už je vykonáván. V případě mikroprocesoru se tento postup mění v rozmotávání labyrintu několika bootloaderů, konfiguračních voleb operačních systémů a exekučních kontextů.

Po restartu začne procesor vždy vykonávat zavaděč, který je z výroby vypálen v neprogramovatelné interní paměti. Zavaděč běží vždy na jádře A35 a pokud nalezne jeden z podporovaných zdrojů (soubor na SD kartě či v eMMC paměti, v podporované paměti NAND, aktivní přístup přes sériovou linku, ...), definovaným způsobem se z něj pokusí přečíst program a nahrát ho do paměti. Tímto programem je typicky takzvaný first-stage bootloader (FSBL), tedy zavaděč první fáze, jehož typickým znakem je, že je malý, aby se celý vešel do interní paměti SRAM, a provedl prvotní inicializační úkony nutné k plnohodnotnému provozu. Zjednodušeně se hlavně jedná o zprovoznění externí paměti DRAM (Dynamic Random Access Memory) a nahrání programu do ní z interním zavaděčem nepodporovaného zdroje. Běžné jsou i kryptografické funkce.

V kontextu jednodeskových počítačů, jakým STM32MP257F-DK je, je pravidlem, že FSBL nezavádí finální aplikaci, ale opět pouze další zavaděč, tentokrát SSBL (Second Stage BootLoader). Tím je nejtypičtěji U-BOOT, který pak

umožňuje pokročilé funkce jako je uživatelská volba parametrů pro start OS, či spuštění operačního systému přes síť. Tento proces je zobrazen pro STM32MP2 na obr. 4.2.



Obrázek 4.2: Posloupnost zavádění operačního systému v ekosystému STM32MP2 "příchuti" A35-TD (převzato z [6])

Oproti výše popsanému, jak je patrné z obr. 4.2, je situace ještě komplikovanější při využití technologie ARM TrustZone (TZ). Trustzone představuje v procesorech ARM vysoký stupeň izolace exekučních kontextů mezi dvěma enklávami - secure a non-secure. Procesor umožňuje přiřadit do těchto kontextů oblasti paměti či periferie nebo dílčí funkce periferií a kód vykonávaný v non-secure kontextu je chráněn před jakýmkoliv zásahem do jakýchkoliv zdrojů v moci secure kontextu vyjma volání funkcí v paměti označené jako non-secure-callable (volatelné z non-secure kontextu). V ekosystému STM32MP2 je First-stage zavaděčem TF-A, který běží v secure kontextu. Technologií TrustZone jsou vybavena jádra A35 i M33, M33 je však provozován čistě v režimu non-secure.

V kontextu této práce není tento druh bezpečných enkláv dál rozváděn. Uveden je hlavně proto, že se jedná o jeden ze softwarových komponent, který je výrobcem dodáván jako součást vývojového balíku, ale jehož konfiguraci musí uživatel udržet v souladu s ostatními.

Ekosystém rovněž obsahuje systém OP-TEE, jehož funkcí je správa bezpečné enklávy pod TrustZone. Poskytuje hlavnímu operačnímu systému např. kryptografické funkce a má ve výhradní moci nastavení periferního firewallu, který je zběžně představen dále. Jedním z úkonů systému OP-TEE je konfigurace a spuštění programu na jádře M33.

STM32MP2 je vybaven periferním firewallem, který výrobce nazývá RIF (Resource Isolation Framework). Jedná se bariéru, kterou je možné vyhradit přístup k perifériím či oblastem v paměti pouze pro jedno z jader. V praxi to znamená při vývoji softwarového vybavení pro tento mikroprocesor nutnost správného nastavení použitých periférií a zdlouhavé změny při změnách v projektu z důvodu nutnosti opětovné kompilace dohlížecího systému OP-TEE.

4.2.1. Základní model práce s procesory série STM32MP2

Po nahrání operačního systému na SD kartu podle úvodního návodu výrobce je k dispozici funkční operační systém Linux. K systému je možné přistupovat přes konzoli buď po sériovém portu (přes virtuální sériový kabel, který je součástí ladicí sondy ST-Link V3, která je na desce zahrnuta) nebo přes protokol SSH (Secure Shell), nebo lze připojit k desce monitor, myš a klávesnici, a je k dispozici velice základní grafické rozhraní, které nabízí předpřipravenou demonstrační aplikaci a terminálový program.

Prostředí po připojení k internetu nabízí možnost instalace software nástrojem apt, dostupný software ale není příliš početný a například mnohé knihovny pro Python jsou k dispozici v rozbitém stavu.

Výrobce dodává vývojový balík ve třech variantách - Starter, Developer a Distribution. Balík Starter obsahuje předpřipravený operační systém k vypálení např. na SD kartu. Balík Developer obsahuje prostředí pro kompilaci uživatelských programů, jádra operačního systému a bootloaderů, zatímco balík Distributor slouží k vytvoření podrobné konfigurace vlastní distribuce operačního systému a obsaženého software. Balíku Distributor nebylo během práce využito.

Výrobce zamýšleným postupem je při vývoji využít předpřipraveného OS z balíku Starter, vyvinout pro něj aplikační systém pro Linux, který je sestaven nástroji z balíku Developer, a v integrovaném prostředí STM32CubeIDE (které je hlavně určené na vývoj FW pro mikrokontroléry série STM32) vyvinout firmware pro jádro M33.

4.3. Firmware - Cortex-M33

Počátky vývoje byly podle taktovky návodu na wiki STMicroelectronics o STM32MP257x-DK[6]. Dle tohoto návodu byla připravena mikro-SD karta s operačním systémem a start a přihlášení do systému byly úspěšné.

Dále v rámci pokračování série návodů "Develop on Arm Cortex-M33" se podařilo otevřít a zkompilovat ukázkový projekt meziprocesorové komunikace založené na frameworku OpenAMP (AMP je zkratka Asymmetric MultiProcessor).

Po dvou měsících souvislého snažení o použití poskytnutých nástrojů byla odhalena většina nutných úkonů pro úspěšné vytvoření nového projektu firmware

pro Cortex-M33 pomocí programu STM32CubeMX včetně modifikace přiřazení jednotlivých periférií mezi kontexty periferního firewallu RIF. Součástí vygenerovaného projektu pro STM32CubeIDE je i čtveřice složek tzv. device trees, což jsou soubory definující nastavení hardware typicky pro Linux, ale jsou ve stejném či podobném formátu využívány i jinými projekty, např. i všemi třemi zbylými komponenty SW pro jádro A35 - prvotního zavaděče TF-A, druhotného zavaděče U-Boot a secure enklávy OP-TEE.

Aby byl správně nastavený periferní firewall a umožnil aplikaci běžící na jádře M33 přístup ke konkrétní periférii, ona periferie musí být přiřazena danému kontextu (nastavováno v device tree OP-TEE), musí být správně nastaveny její hodiny (také v OP-TEE) a nesmí být definovány jako použité žádnou ze zbylých komponent, pokud ji není přiřazena v periferním firewallu.

STM32CubeIDE umožňuje vytvoření projektů pro kompilaci kaskády zavaděčů a device tree Linuxu (nebo i kompilaci celého jádra). Týdny vývoje byly ztraceny nad chybným popisem tohoto procesu na stránkách wiki STMicroelectronics.

4.3.1. M33 FW - obsluha PLL a ADC

Firmware pro jádro M33 plní funkci přímé obsluhy PLL a ADC. Program obsahuje většinu funkcí pro obsluhu PLL a ADC v souborech `pll_ctrl.c/h` a `adc_ctrl.c/h`.

Řízení PLL je úzce spjato s generováním spouštěcích pulzů ADC a následným vyčítáním dat. Cyklus vyžádání další frekvence, čekání na stabilní výstup, odměření dat a opětovné vyžádání další frekvence je řízeno kruhově propojenými a nastavenými časovači (timery). V klidu, pokud je výstup syntezátoru stabilní, ale řídicí smyčka neběží, je cyklus odstartován manuálním spuštěním časovače TIM2. TIM2 je nastaven, aby generoval krátký puls nízké polarity buď na signálu RESET nebo NEXT syntezátoru. Při prvotním startu smyčky je výstupem nízký puls signálu RESET. Během resetu PLL signalizuje log. 0 na signálu LOCKED nestabilitu výstupu a po chvíli log. 1 dá najevo, že výstup je připraven. Vzestupná hrana signálu LOCKED je spouštěcí podmínkou časovače TIM8, který generuje modulační BPSK signál, na který je navázáno ovládání ADC.

TIM8 je nastaven pomocí REPETITION registru na provedení konečného počtu iterací. Fyzický výstup časovače TIM8 na pinu je modulační signál BPSK a je nastaven, aby jednou za periodu čítače změnil polaritu, modulační kmitočet je tedy poloviční oproti opakovací frekvenci časovače. Další kanál TIM8 slouží ke spuštění časovače TIM15 v určitý čas během modulační půlperiody (např. uprostřed). TIM15 je nastaven, aby fyzickým výstupem byl puls signálu CONVSTART pro zavzorkování a odstartování převodu ADC. Po doběhnutí převodu je vyčtení dat z ADC spuštěno odesláním dvou 18-bitových slov přes SPI2, které je využito pouze jako generátor hodinového signálu pro sériovou synchronní sběrnici. Přenos SPI2 je spuštěn zápisem slova pomocí DMA do výstupního registru SPI2. DMA je nastaveno v "trigger" (spouštěném) režimu, kdy je při každé spouštěcí události vyslán nastavený počet slov. Jako spouštěcí událost je nastavena buď spádová hrana

EXTI (External Interrupt) vstupu signálu BUSY nebo druhý kanál časovače TIM15, aby k přenosu došlo pevný čas po odstartování přenosu. Jelikož latence spouštěného DMA přenosu je značná, je výhodné nastavit pevný okamžik, protože ten může být ještě před koncem konverze, pokud latence nikdy nebude nižší než o kolik se spouštěcí signál předbíhá s koncem konverze.

Jelikož timer může mít jen jeden spouštěcí (trigger výstup), není možné, aby byl jeho signál UPDATE (tedy konec poslední n -té iterace) použit pro spuštění timeru TIM2. Pro tento účel je využito stejného spouštěcího signálu TIM8, který spouští časovač TIM15 (který dělá vzorkovací pulzy). Tento spouštěcí signál je zaveden do časovače TIM12, který jednorázově odpočítává zpoždění, které je nastaveno tak, aby s ohledem na okamžik spuštění skončilo přesně nastejno s koncem BPSK půlperiody. TIM4 je nastaven ne jako časovač, ale jako čítač, který čítá spouštěcí impulsy časovače TIM12. Perioda čítání TIM4 je nastavena na počet půlperiod BPSK časovače. TIM4 tedy přeteče ve stejný okamžik jako skončí sekvence půlperiod generovaných TIM8. Přetečení čítače TIM4 slouží jako spouštěcí signál čítače TIM2, který generuje puls RESET nebo NEXT a cyklus běží, jak byl popsán, od začátku.

Příchozí data do přijímajících SPI periférií SPI3, SPI6, SPI8 a USART6 v synchronním režimu jsou taktována hodinovým signálem SPI2. Bez jakéhokoliv zásahu CPU jsou data skrze DMA ukládána do interní paměti SRAM až do zaplnění první či druhé poloviny bufferu, kdy je vyvoláno přerušení.

Během přerušení jsou příchozí data přeskládána, pokud je to u konkrétní periferie nutné, a znaménkově rozšířena z 18 na 32-bitová slova. Taková jsou v přerušení zapsána do sdílené oblasti paměti a předání je signalizováno.

K nastavení ADC (zápisu do interních registrů) slouží sběrnice SPI6. Pro zápis dat je nejprve vypnut hodinový výstup SPI2 (nastaven na vstup) a až poté je sběrnice SPI6 uvedena do režimu MASTER, kdy ona generuje hodinový signál. Jako součást inicializace ADC jsou všechny kanály nastaveny na režim širokého pásma (high-bandwidth mode) a převodník je přepnut do čtyřvodičového módu.

Do programu byla zařazena funkcionální knihovna OpenAMP, jež nabízí komunikační rozhraní simulující tradiční UART a které je na straně Linuxu protikus virtuální sériové linky.

Velkým problémem se ukázala latence a propustnost paměti DRAM, která je tak vysoká, respektive nízká, že hustší provoz DMA z nebo do DRAM paměti (např. výpis rychlých dat po sériové lince rychlostí 921600) způsobuje relativně často tak velkou latenci, že i pokud je buffer pro data z ADC v rychlé SRAM paměti, dochází k přeběhu dat, kdy DMA nestíhá vyčíst data z registru SPI před příchodem dalšího slova.

Projekt generovaný STM32CubeMX pro M33 ve výchozím stavu používá pro pracovní paměť, haldu, zásobník i kód oblast paměti DRAM, což má extrémní dopad na rychlost programu, pokud není povolena a správně nastavena datová a

instrukční mezipaměť (ICACHE a DCACHE) (zpomalení oproti SRAM je řádově více jak desetinásobné). I s optimálně nastavenými mezipaměťmi je výkon programu z DRAM o desítky procent pomalejší než z interní SRAM.

4.3.2. Meziprocessorová komunikace

Jak bylo řečeno výše, v programu pro M33 je k dispozici funkční virtuální UART poskytnutý knihovnou OpenAMP. Tento způsob předání dat se ale projevil značně nedostatečným svou propustností, proto byl realizován protokol meziprocessorové komunikace dle vlastní definice.

Komunikace mezi jádrem M33 a SW běžícím na jádrech A35 pod Linuxem probíhá výhradně výměnou bufferů a příznaků ve sdílené paměti. Komunikace je rozdělena do dvou oblastí sdílené paměti - provozní informace, instrukce a všechny ostatní datově nepříliš náročné úkony jsou prováděny ve sdílené oblasti interní (na čipu) paměti SRAM, která je přístupná bez čekacích cyklů, a sdílená oblast DRAM slouží pouze k předání hrubých dat.

Zápis (a do menší míry i čtení) dat do sdílené ne-cachované paměti DRAM je prakticky časově nejnáročnější část zpracování dat. Do budoucna se nabízí možnost provádět demodulaci (odečítání kladných a záporných půlperiod) či průměrování na straně M33 a Linuxu předávat značně zmenšený počet dat.

Funkční komunikace (inicializace, synchronizace, nastavení parametrů, hlášení stavu) probíhá přes struktury definované v hlavičkovém souboru `my_ipc_data.h`, které jsou umístěny ve sdílené paměti SRAM. Základním principem je požadavek - nastavení příznaku (zápis nenulové hodnoty) - a potvrzení příznaku - vynulování hodnoty.

Struktura IPC (Inter-processor-communication) umožňuje straně A35 vyžádat start či stop měření, nebo žádat o změnu nastavení - opakovací režim měření, zapnutí modulačního výstupu, počet modulačních půlperiod na frekvenční bod, počet vzorků na půlperiodu či okamžik vzorkování vůči půlperiodě. Počet bodů rozmítání je nastaven programem po Linuxem, ten však musí informaci předat FW M33, aby správně nastavil délku bufferů.

Metoda signalizace předání bufferu dat spoléhá na použití jednoho příznaku na průběh. V okamžiku, kdy obsluha přerušení DMA všech sériových linek ADC dat zapíše do sdílené paměti, zavolá následně proceduru pro signalizaci připravenosti průběhu. V rámci toho je zkontrolován stav příznaku. Pokud má být nastaven příznak pro průběh, kde příznak již je nastavený, znamená to, že přecházející průběh v této pozici nebyl přebrán. V takovém případě nastaví FW M33 příznak přeběhu (overrun).

4.4. Aplikační SW pod Linuxem

Software v C a C++ může být sestaven buď manuálně s použitím skriptů pro nastavení stavebního prostředí poskytnutých v SDK (Software Development Toolkit) od ST, alternativou je vývoj aplikace pro A35 pod Linuxem v STM32CubeIDE. Výhodou je například dobře integrovaný grafický debugger fungující i pro vzdálené ladění aplikací pod OS.

Pro provoz přístroje jsou pro Linux vyvíjeny dva programy - program s konzolovým rozhraním pro IPC komunikaci s jádrem M33, řízení rozmítání a zpracování dat a grafická aplikace sloužící jako vstupně výstupní vrstva konzolové aplikace.

4.4.1. Obslužný software (aplikační logika, meziprocesorová komunikace s M33)

Uživatelské rozhraní pro ovládání měření (start/stop a nastavení) je realizováno parametry, s jakými je spuštěn obslužný/IPC program. Program je psán v čistém C, k rozboru volacích parametrů je využito knihovny getopt.

Program běží v userspace a při psaní funkcí pro přístup k fyzické paměti podle fyzické adresy (procesy spuštěné pod operačním systémem existují ve virtuálním paměťovém prostoru, kdy adresa neodpovídá té skutečně fyzické) byla značná část kódu převzata z programu devmem2. Protože je ke komunikaci využita oblast paměti, která je v device tree operačního systému popsána jako "reserved", systém, respektive jednotka správy paměti (memory management unit, MMU) jádra ji považuje za paměť typu device, tedy paměť necachovatelnou, bez spekulativního přístupu a se zakázaným nezarovnaným přístupem. Právě zakázaný nezarovnaný přístup k ní je značně problematický, neboť nebyl během vývoje objeven žádný způsob, jak buď označit v C oblast paměti či objekt za nepřístupný nezarovnaně, či jak pomocí mechanismu mmap rezervovaný segment paměti změnit na standardní paměť místo paměti typu device. Nezarovnaný přístup vzniká nečekaně například při použití funkcí standardní knihovny jako memset či memcpy, nebo přiřazení zdánlivě zarovnaných struktur. Spolehlivým řešením se ukázalo přistupovat ke sdílené paměti výhradně po jednotlivých slovech s atributem volatile a nepoužívat na ni přímo standardní funkce.

Základní funkcí je výstup naměřených průběhů do souboru buď v binárním nebo textovém formátu. Struktura binárního souboru sestává z ze čtyř 64bitových slov na začátku souboru v pořadí fstart, fstep, fpoints a nchannels, kde fstart je počáteční kmitočet průběhu v Hz, fstep je kmitočtový krok mezi body a fpoints je počet měřených frekvenčních bodů. nchannels je počet kanálů. Po těchto čtyřech slovech následuje sekvence dvojic hodnot I a Q ve formátu double (tedy 64-bitové číslo s plovoucí čárkou). Z důvodů propustnosti souborového systému SD karty je program napevno nastavený, aby výstupní data ukládal do adresáře /tmp/vna, který je ve složce /tmp potřeba vytvořit po každém startu systému.

Pro výstup dat ke zobrazení GUI (Graphical User Interface) programem jsou data předávána pojmenovanou rourou ("named pipe") /vna/displayfifo01. Data jsou předávána v textovém formátu.

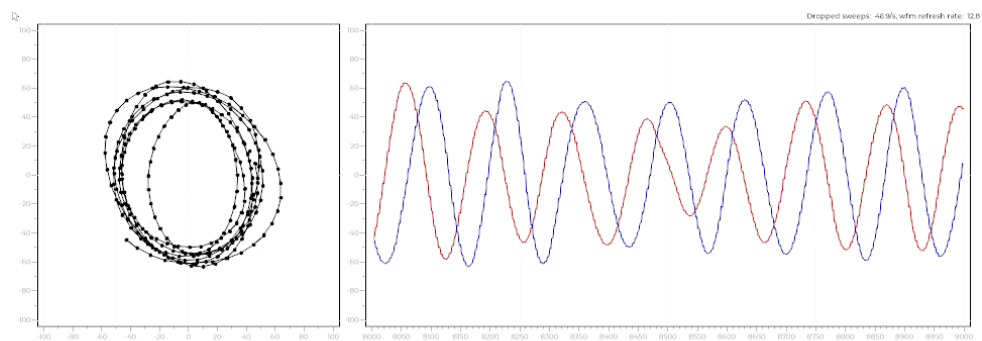
Tabulka 4.1 obsahuje výčet možností konzolového rozhraní.

Tabulka 4.1: Popis možných argumentů programu

Dlouhá volba	Popis
--numsweeps	Odměřit zadaný počet průběhů a skončit
--start	Spustit měření a ukončit program
--stop	Zastavit probíhající měření
--dump	Provést měření s výstupem do souboru
--dump-bin	Provést měření s výstupem do binárního souboru
--gui	Provést měření s výstupem do externího GUI programu
--gui-ch	Do externího GUI programu posílat zadané číslo kanálu (může být definováno vícekrát)
--fstart	Hodnota počáteční frekvence v Hz
--fstep	Hodnota frekvenčního kroku v Hz
--fend	Hodnota konečné frekvence v Hz (frekvenční krok či počet kroků bude dopočítán)
--numfpoints	Počet frekvenčních bodů
--numhalfT	Počet půlperiod měřených za jeden frekvenční bod
--samplepoint	Čas vzorkovacího okamžiku během půlperiody
--samplecnt	Počet vzorků odměřených hned po sobě během jedné půlperiody
--bpskmod	Vypnutí či zapnutí modulačního výstupu. Argument je yes/no nebo 0/1
--bpskmod-on	Zapnutí modulačního výstupu
--bpskmod-off	vypnutí modulačního výstupu
--oneshot	Místo automatického opakování měření ve FW M33 vyžádat vždy jedno
--guichn	Volba primárního zobrazeného kanálu při výstupu do GUI
--guirefreshrate	Čas mezi zasláním nových dat ke zobrazení do GUI (v mikrosekundách)
--sweeperperiod	Omezit periodu opakování měření na zadaný počet mikrosekund
--create-cal-ellipse	Vytvořit kalibrační data pro korekci vzájemné chyby zesílení hodnot I a Q (předpokládá se konstantní amplituda na vstupu)
--apply-cal-ellipse	Korigovat vzájemnou chybu zesílení hodnot I a Q podle kalibračních dat v zadaném souboru
--create-cal-s11	Odměřit průběh v konfiguraci měření odrazu a uložit ho do zadaného souboru

4.4.2. Grafická prezentace dat, knihovna LVGL

Pro zobrazování měřených dat a perspektivně i v budoucnu pro ovládání měřicího zařízení byl realizován program poskytující grafické uživatelské rozhraní. Pro realizaci byla zvolena knihovna LVGL, pro kterou jsou k dispozici hotové příklady použití na platformě STM32MP2. Příklady jsou dodávány jako projekt pro prostředí STM32CubeIDE. Zkušební program spolupracující s obslužnou aplikací měřicí aparatury byl realizován zařazením vlastního kódu pro vykreslení grafů, přepočít dat a vyčítání dat ke zobrazení ze jmenné roury. Program rovněž zobrazuje frekvenci obnovy dat a kolik průběhů za vteřinu bylo přijato, ale nebylo zobrazeno.



Obrázek 4.3: Grafický výstup při měření fázovacího članku skutečnou aparaturou

Obr. 4.3 je snímkem ze záznamu pořízeného z HDMI výstupu zařízení při měření na skutečné mikrovlnné sestavě při odměřování fázovacího članku.

Kapitola 5

Dosažené výsledky

Požadavkem na rychlost měření bylo 20 měření za sekundu o 100 frekvenčních bodech. Při současném výstupu měřených dat ke zobrazení na displeji a výstupu do binárních souborů na souborovém systému byly naměřeny následující hodnoty:

Table 5.1: Dosažené rychlosti měření průběhů a vytížení CPU obslužným programem

BPSK T/f	wfm/s	IPC CPU %
1	450	22
2	308	18,5
4	190	18
8	108	17
16	57	16,2
32	29	16,2
47	20	16,6

Sloupec "IPC CPU %" značí procentuální vytížení jednoho jádra, plnému vytížení systému odpovídá 200 %. Bylo dosaženo stejných výsledků nezávisle na obnovovací frekvenci grafického rozhraní. Vytížení CPU aplikací grafického rozhraní činilo 10 % při zobrazování jednoho průběhu za sekundu (při zachování rychlosti měření do souboru) a hraničních 100 % při 17 aktualizacích obrazovky za sekundu. 100% vytížení druhého jádra CPU nemělo vliv na rychlost či spolehlivost měření.

Kapitola 6

Závěr

Úkolem diplomové práce bylo navrhnout a realizovat nízkofrekvenční část čtyřkanálového vektorového analyzátoru obvodů. V práci byl proveden rozbor požadavků z pohledu zamýšlené aplikace výsledného přístroje a existující aparatury, jíž má být realizovaný dílčí celek součástí.

Byla úspěšně potvrzena vhodnost vestavného mikroprocesoru řady STM32MP25 v kombinaci s analogovým převodníkem AD7606C-18 jako dílčích komponent vektorového analyzátoru.

Vyhotovený funkční vzorek zajišťuje obsluhu vysokofrekvenční části měřícího celku, umožňuje odměřování parametrů S_{21} rychlostí výrazně převyšující požadavek a měřená data vč. záznamu lokální historie vystavuje k dispozici přes síťové rozhraní. Data jsou zároveň spolu s grafickým uživatelským rozhraním zobrazována na připojitelném displeji.

Vývoj a konstrukce vyžadovaly průběžné odstranění problémů plynoucích ze zvolené konstrukce z vývojových desek, žádný z nich ale nenasvědčoval nevhodnosti využití zvolených obvodů pro vlastní zákaznický návrh přístroje.

Literatura

- [1] Nuno Borges Carvalho and Dominique Schreurs: Microwave and Wireless Measurement Techniques, Cambridge University Press, Cambridge 2013, ISBN 9781107004610
- [2] Interferometrické měření tloušťky pásu, Boris Žifčák, bakalářská práce, 2024
- [3] HOFFMANN, Karel a Zbynek ŠKVOR. New method suitable for relative short distance measurement, 2010, doi:10.23919/EUMC.2010.5616423
- [4] Syntezátor kmitočtu 8 až 13 GHz-Prototyp TN02000067/13-V6, ELSY-CZ s.r.o. 2026
- [5] devmem2, Jan-Derk Bakker a další, repozitář software, <https://github.com/denix0/devmem2>
- [6] Boot chain overview, STMicroelectronics, https://wiki.st.com/stm32mpu/wiki/Boot_chain_overview
- [7] STM32 Nucleo-144 boards (MB1137) User manual, UM1974 Rev 11, 2025
- [8] STM32MP257F, STMicroelectronics, <https://www.st.com/en/microcontrollers-microprocessors/stm32mp257f.html>
- [9] Data Sheet AD7607C-18 (Rev.B), Analog Devices, <https://www.analog.com/media/en/technical-documentation/data-sheets/ad7606c-18.pdf>
- [10] memcpy and memset unaligned access and alignment fault, ARM, Article ID: KA004708, <https://support.arm.com/documentation/ka004708/latest>



Seznam datových příloh

1. Archiv "mmcblk0.7z" - bitová kopie SD-karty s operačním systémem pořízená těsně před odevzdáním.
2. Adresář "mp2_playground" - Projekty FW pro M33 ("mp257_test_11"), Linuxového obslužného programu ("linux_userspace_06_M3311_d"), Linuxového GUI programu ("lvgl_test_01"), sdílené definice binárního formátu dat ("binswio") z důvodu omezení velikosti souboru bez SDK a zdrojů OpenSTLinux.
3. Archiv "mech.7z" - CAD a STL soubory rámečku desky ADC a MPU
4. Archiv "f7_pll_simulator.7z" - projekt simulátoru PLL pro STM32F746ZG-NUCLEO